

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

**In re U.S. Patent Application of)
BABA et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: CLOCK EXTRACTING FABRIC IN A)
COMMUNICATION DEVICE)
ATTORNEY DOCKET No. HIRA.0119)**

**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

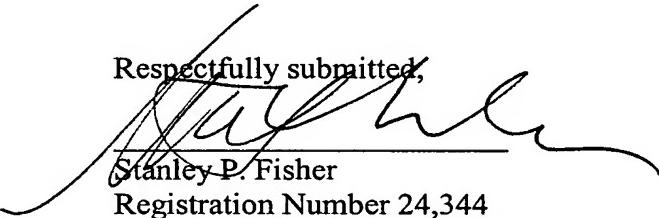
**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of December 9, 2002, the filing date of the corresponding Japanese patent application 2002-357125.

A certified copy of Japanese patent application 2002-357125 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 34,072

**REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
July 30, 2003**

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: December 9, 2002

Application Number: Japanese Patent Application
No. 357125/2002

Applicant(s): Hitachi, Ltd.

July 3, 2003

Commissioner,
Patent Office

Ota Shinichiro (seal)

Certificate No. 2003-3052918

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月 9日

出願番号

Application Number:

特願2002-357125

[ST.10/C]:

[JP2002-357125]

出願人

Applicant(s):

株式会社日立製作所

2003年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052918

【書類名】 特許願

【整理番号】 H201631

【提出日】 平成14年12月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社
日立製作所 中央研究所内

【氏名】 馬場 貴成

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社
日立製作所 中央研究所内

【氏名】 齊藤 達也

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社
日立製作所 中央研究所内

【氏名】 柳生 正義

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社
日立製作所 中央研究所内

【氏名】 大前 重雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100091096

【弁理士】

【氏名又は名称】 平木 祐輔

【手数料の表示】

【予納台帳番号】 015244

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号通信装置および信号通信方式

【特許請求の範囲】

【請求項1】 並列度n ($n > 1$ 、nは整数) ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式の信号通信装置であって、

nビットのデータ信号を受信するデータ信号受信部に設けられ、

データ信号nビットのうちのa ($2 \leq a < n$ 、aは整数) ビットのデータ信号を入力とし、そのaビットのうちb ($1 \leq b \leq a$ 、bは整数) ビットを選択して前記再生クロック信号の基となる基準クロック信号として出力するクロック信号抽出・選択回路と、

前記nビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各nビットの再生クロック信号をそれぞれ生成するn個の位相調整回路と
を有する信号通信装置。

【請求項2】 前記クロック信号抽出・選択回路が、

n ($n > 1$ 、nは整数) ビットのデータ信号のうちa ($2 \leq a < n$ 、aは整数) ビットのデータ信号に設けられたクロック信号再生回路の一部分を成すa個の第1の機能部と、

前記クロック信号再生回路のその他の部分を成す第2の機能部b ($1 \leq b \leq a$ 、bは整数) 個で構成され、前記第1の機能部のa個のうちb個を選ぶ回路を有し、選択されたb個の前記第1の機能部と前記第2の機能部とを合わせることによりb個のクロック信号抽出回路を形成し、aビットのデータ信号のうちb個からクロック信号を抽出し基準クロック信号として出力することを特徴とする請求項1に記載の信号通信装置。

【請求項3】 前記クロック信号再生回路は、位相比較器と、ループフィルタと、電圧制御発振器とを含んで構成される回路であり、

前記クロック信号抽出回路の前記第1の機能部が、位相比較器 a （ $2 \leq a < n$ 、 $n > 1$ 、 a 、 n は整数）個で構成され、

前記クロック信号再生回路の前記第2の機能部がループフィルタと電圧制御発振器 b （ $1 \leq b \leq a$ 、 b は整数）個とで構成され、

前記第1の機能部は n ビットのデータ信号のうち a ビットのデータ信号と基準クロック信号との位相比較信号を出力し、該 a 個の位相比較信号のうち b 個を選択することにより基準クロック信号を抽出するのに使用するデータ信号を決定する位相比較信号選択回路を備え、

前記第2の機能部は b 個の位相比較信号を基に b 個の基準クロック信号を出力することを特徴とする請求項2に記載の信号通信装置。

【請求項4】 前記クロック信号抽出回路が、位相比較器と、ループフィルタと、電圧制御発振器とを含んで構成される回路であり、

前記クロック信号再生回路の前記第1の機能部が位相比較器とループフィルタ a （ $2 \leq a < n$ 、 $n > 1$ 、 a 、 n は整数）個で構成され、前記クロック信号抽出回路の前記第2の機能部が、電圧制御発振器 b （ $1 \leq b \leq a$ 、 b は整数）個で構成され、前記第1の機能部は n ビットのデータ信号のうち a ビットのデータ信号に関する電圧制御発振器の制御信号を出力し、該 a 個の電圧制御発振器の制御信号のうち b 個を選択することにより基準クロック信号を抽出するのに使用するデータ信号を決定する制御信号選択回路を備え、

前記第2の機能部は b 個の電圧制御発振器の制御信号を基に b 個の基準クロック信号を出力することを特徴とする請求項2に記載の信号通信装置。

【請求項5】 データ信号 n （ $n > 1$ 、 n は整数）ビットが a （ $2 \leq a < n$ 、 a は整数）個のグループに分けられており、該グループ内のデータ信号 m （ m は整数）ビットのうち少なくとも1ビットのデータ信号からクロック信号を抽出するクロック信号抽出回路を有し、該クロック信号を基準クロック信号として前記グループ内の各ビットの位相比較回路に分配するクロック信号分配回路を有し、

さらに、 a 個の前記グループ間で前記基準クロック信号の代用を可能とするクロック信号選択・分配回路であって、あるブロックの基準クロック信号を抽出す

るのに使用しているデータ信号ビットに異常が生じクロック信号が正しく抽出できぬ場合に、異常が生じたグループの基準クロック信号を別のブロックの $a - 1$ 個の基準クロック信号うちのいずれかに切替える回路を有することを特徴とする請求項 1 に記載の信号通信装置。

【請求項 6】 さらに、

前記信号通信装置内または前記信号通信装置外からの制御信号により、データ信号 n ($n > 1$ 、 n は整数) ビットのうちクロック信号を抽出可能な a ($2 \leq a < n$ 、 a は整数) ビット中から基準クロック信号 b ($1 \leq b \leq a$ 、 b は整数) 個を選択する回路を有することを特徴とする請求項 1 に記載の信号通信装置。

【請求項 7】 さらに、

前記基準クロック信号または前記データ信号から抽出したクロック信号の電圧レベルまたは周波数をモニタし、前記電圧レベルまたは周波数における異常を検出すると、前記基準クロック信号を他のデータ信号ビットから抽出した正常なクロック信号と切替えるための制御信号を生成するクロック信号モニタ回路を有することを特徴とする請求項 1 に記載の信号通信装置。

【請求項 8】 前記信号通信装置の自己テストの期間にデータ信号からクロック信号を抽出可能な各ビットについて、抽出したクロック信号の電圧レベルまたは周波数レベルが正常であるか否かを前記モニタ回路により判定し、異常を検出した場合は、そのビットの番号を記憶するビット番号記憶回路と、

該ビット番号記憶回路に記憶された記憶データを前記基準クロック信号の切替え時に切替え対象から除外する回路と

を有することを特徴とする請求項 7 に記載の信号通信装置。

【請求項 9】 さらに、

前記クロック信号モニタ回路が異常を検出すると、異常が発生したことを前記信号通信装置に知らせる機能を有することを特徴とする請求項 8 に記載の信号通信装置。

【請求項 10】 さらに、

前記クロック信号を抽出するデータ信号の電圧レベルと、立ち上がり・立ち下がりエッジと、ビットエラーの有無と、ビットエラー率と、ジッタ量と、を含む

群中から選択されるデータ信号の通信品質に関する情報の少なくとも1つをモニタし、前記情報に異常を検出すると、前記基準クロック信号を他のデータ信号ビットから抽出した正常なクロック信号と切替えるための制御信号を生成するデータ信号モニタ回路を有することを特徴とする請求項1に記載の信号通信装置。

【請求項11】 さらに、

信号通信装置の自己テストの期間にデータ信号からクロック信号を抽出可能な各ビットについて、データ信号の電圧レベルと、立ち上がり・立ち下がりエッジと、ビットエラーの有無と、ビットエラー率と、ジッタ量と、を含む群中から選択されるデータ信号の通信品質に関する情報の少なくとも1つを前記データ信号モニタ回路によりモニタリングし、異常が検出された場合は、そのビットの番号を記憶するビット番号記憶回路と、

該記憶回路に記憶された記憶データを、前記基準クロック信号の切替え時に切替え対象から除外する回路と

を有することを特徴とする請求項10に記載の信号通信装置。

【請求項12】 さらに、

前記データ信号モニタ回路が異常を検出すると、異常が発生したことを前記信号通信装置に知らせる機能を有することを特徴とする請求項10に記載の信号通信装置。

【請求項13】 さらに、

再デジタル化したnビットのデータ信号について、電圧レベルと、ビットエラーの有無と、ビットエラー率と、ジッタ量と、を含む群から選択されるデータ信号の通信品質に関する情報の少なくとも1つ以上をモニタし、その通信品質に関する情報が予め定められた許容値を超えた場合はそのビットは通信不適格とし、データ信号の異常情報についてのデータ信号異常通知信号を生じるデータ信号モニタ回路を有することを特徴とする請求項1に記載の信号通信装置。

【請求項14】 さらに、

前記データ信号異常通知信号に基づいて正常動作可能なデータ信号ビットを定め、データ信号の各ビットへの振り分け方法を定めたビット振り分け制御信号を

出力する回路を有することを特徴とする請求項13に記載の信号通信装置。

【請求項15】 さらに、

前記ビット振り分け制御信号をデータ信号の送信元の信号通信装置に伝えるための出力回路を有することを特徴とする請求項14に記載の信号通信装置。

【請求項16】 さらに、

前記ビット振り分け制御信号に基づいて各ビットのデータ信号を元のデータ順序に復元する回路を有することを特徴とする請求項15に記載の信号通信装置。

【請求項17】 前記信号送信回路部が k ($k \geq 1$ 、 k は整数) 個の半導体集積回路により構成されていることを特徴とする請求項16に記載の信号通信装置。

【請求項18】 前記信号受信回路部が k ($k \geq 1$ 、 k は整数) 個の半導体集積回路により構成されていることを特徴とする請求項1に記載の信号通信装置。

【請求項19】 p ($p \geq 1$ 、 p は整数) ビットの光信号を送受信する第1の送受信回路と、光信号と電気信号とを相互に変換する光-電気変換回路と、 p ビットの信号と q ($q \geq 1$ 、 q は整数) ビットの信号とを相互に変換するビット数変換回路と、 q ビットの電気信号を送受信する第2の送受信回路とを持つ光モジュール装置において、前記第1又は第2の少なくとも一方の送受信回路として請求項1に記載の信号通信装置を用いることを特徴とする光モジュール装置。

【請求項20】 r ($r \geq 1$ 、 r は整数) ポートのパケット信号を受信するパケット信号受信回路と、受信パケット信号を識別と制御を行う受信パケット信号制御部と、受信パケット信号制御部からの経路制御信号に従い受信ポートと送信ポートを繋ぐスイッチ回路と、送信パケット信号の制御を行う送信パケット信号制御部と、 s ($s \geq 1$ 、 s は整数) ポートのパケット信号を送信するパケット信号送信回路とを有するルータ装置において、前記パケット信号受信回路又は前記パケット信号送信回路の少なくともいずれか一方として請求項1に記載の信号通信装置を用いることを特徴とするルータ装置。

【請求項21】 並列度 n ($n > 1$ 、 n は整数) ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ

タ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式の信号通信装置であって、

nビットのデータ信号を受信するデータ信号受信部に設けられ、

データ信号nビットのうちのa（ $2 \leq a < n$ 、aは整数）ビットのデータ信号に対して設けられ、データ信号からクロック信号を抽出するクロック信号抽出回路と、

前記aビットのうちのb（ $1 \leq b \leq a$ 、bは整数）ビットを選択し、前記再生クロック信号の生成のためにn個の位相調整回路に対して再生クロック信号を生成するためのbビットの基準クロック信号を分配するクロック信号選択回路と、

前記nビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各nビットの再生クロック信号をそれぞれ生成するn個の位相調整回路と
を有する信号通信装置。

【請求項22】光信号又は電気信号を用いた並列度n（ $n > 1$ 、nは整数）ビットの通信を行い、通信するデータ信号からクロック信号を抽出してデータ信号を再デジタル化するための再生クロック信号として使用するクロック再生伝送方式の信号通信装置において、

データ信号送信部に設けられ、

データ信号の送信先の信号通信装置からのビット振り分け制御信号であって、正常動作可能なデータ信号ビットを定めデータ信号の各ビットへの振り分け方法に関するビット振り分け制御信号を受信するための入力回路と、

前記ビット振り分け制御信号に基づいてデータ信号を各ビットに振り分ける振り分け回路と

を備えたことを特徴とする信号通信装置。

【請求項23】並列度n（ $n > 1$ 、nは整数）ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式の信号通信装置であって、

nビットのデータ信号を受信するデータ信号受信部に設けられ、データ信号nビットのうちのa（ $2 \leq a < n$ 、aは整数）ビットのデータ信号のうちb（ $1 \leq b \leq a$ 、bは整数）ビットを選択するデータ信号選択回路と、選択されたbビットのデータ信号からクロックを抽出するb個のクロック抽出回路と、

前記再生クロック信号の生成のためにn個の位相調整回路に対して再生クロック信号を生成するためのbビットの基準クロック信号を分配する回路と、

前記nビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各nビットの再生クロック信号をそれぞれ生成するn個の位相調整回路とを有する信号通信装置。

【請求項24】 nビットのデータ信号を送信するデータ信号送信部とnビットのデータ信号を受信するデータ信号受信部とを有し、並列度n（ $n > 1$ 、nは整数）ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式であって、

前記データ信号送信部は、前記データ信号受信部からのビット振り分け制御信号であって、正常動作可能なデータ信号ビットを定めデータ信号の各ビットへの振り分け方法に関するビット振り分け制御信号を受信するための入力回路と、前記ビット振り分け制御信号に基づいてデータ信号を各ビットに振り分ける振り分け回路とを有し、

前記データ信号受信部は、データ信号nビットのうちのa（ $2 \leq a < n$ 、aは整数）ビットのデータ信号を入力とし、そのaビットのうちb（ $1 \leq b \leq a$ 、bは整数）ビットを選択して前記再生クロック信号の基となる基準クロック信号として出力するクロック信号抽出・選択回路と、前記nビットのデータ信号のそれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各nビットの再生クロック信号をそれぞれ生成す

るn個の位相調整回路とを有し、

さらに、データ信号n（ $n > 1$ 、nは整数）ビットのうち、データ信号c（ $1 < c < n$ 、cは整数）ビットに異常が発生し通信が前記データ信号送信部とデータ信号受信部との間で不通となった場合に、不通になったビットのデータを正常に通信可能な他の $n - c$ ビットに振り分けてデータ通信する回路を有することを特徴とする信号通信方式。

【請求項25】 不通になったc（ $1 < c < n$ 、 $n > 1$ 、c、nは整数）ビットのデータの不通でない他の $n - c$ ビットへの振り分けを、データ1ビット単位で振り分けるか又はデータkビット単位で振り分けるか又はパケットデータ単位で振り分けるかのいずれかにより行うことを特徴とする請求項24に記載の信号通信方式。

【請求項26】 前記データ信号受信部のデータ信号nビットのうちc（ $1 < c < n$ 、cは整数）ビットに異常が発生し不通となった場合に、受信と送信の信号通信速度と同じにするために、前記データ信号送信部のデータ信号nビットのうちcビットを不通にすることを特徴とする請求項24に記載の信号通信方式。

【請求項27】 前記データ信号送信部のデータ信号nビットのうち受信と送信との信号通信速度と同じにするためにc（ $1 < c < n$ 、cは整数）ビットが不通となった場合に、不通になったビットのデータを不通でない他の $n - c$ ビットに、データ1ビット単位で振り分けるか又はデータkビット単位で振り分けるか又はパケットデータ単位で振り分けるかのいずれかにより行うことを特徴とする請求項26に記載の信号通信方式。

【請求項28】 前記データ信号送信部のデータ信号nビットのうちc（ $1 < c < n$ 、cは整数）ビットに異常が発生し不通となった場合に、受信と送信の信号通信速度と同じにするために、前記データ信号受信部のデータ信号nビットのうちcビットを不通にすることを特徴とする請求項24に記載の信号通信方式。

【請求項29】 前記データ信号受信部のデータ信号nビットのうち受信と送信との信号通信速度と同じにするためにc（ $1 < c < n$ 、cは整数）ビットが

不通となった場合に、不通になったビットのデータを不通でない他の $n - c$ ビットに、データ 1 ビット単位で振り分けるか又はデータ k ビット単位で振り分けるか又はパケットデータ単位で振り分けることを特徴とする請求項 28 に記載の信号通信方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光信号又は電気信号を用いた多ビット信号通信装置に関し、データ信号からデータ信号を再デジタル化するためのクロック信号を抽出するクロック信号再生伝送方式に関する。特にデータ信号の一部のビットに異常が発生した場合に、残りの正常なビットを用い通信を継続可能にする高信頼化技術に関する。

【0002】

【従来の技術】

交換機、ルータ装置等の情報処理装置には、データの通信を行うために光又は電気による信号通信装置が用いられる。このような信号通信装置の受信部では、装置内で信号処理をするために、受信データ信号を装置内部クロック信号と同期したデータ信号にする必要がある。そのため一般に信号通信装置の受信部では、データ信号を装置内部クロック信号と同期させる前段階として、データ信号との位相関係が調整されたクロック信号とデータ信号とをフリップフロップ回路に入力してクロック信号に同期したデータ信号を再生する。このクロック信号のことを再生クロック信号と呼ぶ。再生クロック信号に同期したデータ信号は、位相調整やデマルチプレクス等のデジタル処理により装置内部クロック信号と容易に同期が可能である。

【0003】

1 から N 回線までの伝送路をそれぞれ収容し、受信データ信号からクロック信号を抽出する第一の伝送路インターフェイス盤から第 N の伝送路インターフェイス盤と、装置内クロック信号を生成するクロック信号分配盤と、予備パッケージとなる伝送路インターフェイス盤とにより構成する装置が開示されている（例えば、特許文献 1 参照）。クロック信号分配盤に現用系状態開始回路が設けられ、

伝送路インターフェイス盤には、クロック信号抽出回路と、抽出基準クロック信号生成回路と、クロック信号制御回路と、状態信号選択回路とが含まれており、抽出したクロック信号は、内部クロック信号に同期するように位相調整が行われる。

【0004】

通信速度が比較的低速のときは、データ信号と同時に並送したクロック信号を再生クロック信号として用いるクロック信号並送伝送方式が用いられる。しかし、ビット当りの通信速度が1Gbps/ビット以上の高速になると、クロック信号並送伝送方式では、データ信号とクロック信号のタイミングばらつき、いわゆるビットスキューが大きくなり、並送したクロック信号をそのまま再生クロック信号として使用することができなくなる。そこで高速の信号通信では、クロック信号をデータ信号に並送するのではなく、データ信号から、例えば位相同期発振器を用いてクロック信号を抽出し、そのクロック信号を再生クロック信号として使用するクロック信号再生伝送方式が用いられている。

【0005】

近年では、さらなる伝送速度の高速化のために信号通信装置間の信号ビット数を多ビットにしたクロック信号再生伝送方式が用いられるようになってきた。このような多ビットのクロック信号再生伝送方式の従来技術としては、例えば、米国MAXIM社製のケーブルトランシーバー I CのMAX3780がある。

【0006】

図14を参照して、従来のクロック信号再生伝送方式を用いた信号通信装置の構成について説明する。図14に示すように、信号通信装置1401は、n ($n > 1$ 、nは整数) ビットのデータ信号を送信する信号通信装置Aであり、信号通信装置1402は、信号通信装置A1401から送られたnビットのデータ信号を受信する信号通信装置Bである。信号通信装置A1401内の符号1403は、nビットのデータ信号Tid₁, Tid₂, Tid₃, …, Tid_nを出力する内部回路である。符号1404₁, 1404₂, 1404₃, …, 1404_nで示される回路は出力バッファ回路であり、符号1405₁, 1405₂, 1405₃, …, 1405_nは、装置A1401と装置B1402とを繋ぐ伝送線路、例えば光ファイバまたは導体線である。

【0007】

データ信号Tid1,Tid2,Tid3,⋯,Tidnは、それぞれ出力バッファ回路14041,14042,14043,⋯,1404nにより、例えば光信号または電気信号の形態で、それぞれ伝送線路14051,14052,14053,⋯,1405nに出力される。一方、信号通信装置B1402内の、それぞれの回路14061,14062,14063,⋯,1406nは、伝送線路を通して送られてきたnビットのデータ信号を受信して、nビットのデータ信号Txd1,Txd2,Txd3,⋯,Txdnを出力する入力バッファ回路である。また、信号通信装置B1402内のデータ信号を再生する機能を有する回路として、クロック信号再生回路1407と、位相調整回路14081,14082,14083,⋯,1408nとを有する。クロック信号再生回路1407は、データ信号Txd1から基準クロック信号SCKの抽出を行う。位相調整回路14081,14082,14083,⋯,1408nは、それぞれ基準クロック信号SCKと各データ信号Txd1,Txd2,Txd3,⋯,Txdnとの位相を比較し、データ信号を正しく再生するために位相が調整された再生クロック信号RCK1,RCK2,RCK3,⋯,RCKnを出力する位相調整回路である。

【0008】

フリップフロップ回路14091,14092,14093,⋯,1409nは、データ信号Txd1,Txd2,Txd3,⋯,Txdnと再生クロック信号RCK1,RCK2,RCK3,⋯,RCKnとから再生クロック信号と同期したデータ信号Tod1,Tod2,Tod3,⋯,Todnを出力する。内部回路1410は、再生クロック信号と同期したデータ信号Tod1,Tod2,Tod3,⋯,Todnを入力する回路である。

【0009】

以上のように図14に示す装置は、データ信号Txd1からクロック信号を抽出し、それを基準クロック信号としてnビットのデータ信号を再生するクロック信号再生伝送方式を用いた信号通信装置である（例えば非特許文献1参照）。

【0010】

【特許文献1】

特開2001-44974号公報（図1参照）

【非特許文献1】

MAXIM、Quad 2.5Gbps Cable Transceiver

r、MAXIM Integrated Products (Fig 3参照)

【0011】

【発明が解決しようとする課題】

しかしながら、図14に示す構成を有する一般的な信号通信装置では、基準クロック信号SCKを抽出するデータ信号Txldに異常が生じた場合、基準クロック信号SCKを抽出することができなくなり、この基準クロック信号を基に生成される再生クロック信号を全ビットで生成することができなくなる。その結果、データ信号Txld以外のビットのデータ信号Txld2,Txld3,…,Txdnが正常であっても、全ビットの信号通信ができなくなってしまう。故障が起こって瞬時に信号通信ができなくなると、利用者への通信障害の影響が大きく問題である。また、通信障害の復旧のために、すぐに信号通信装置の交換作業が必要で計画的な復旧作業ができないので、信号通信装置の管理や保守かかるコストが大きいという問題がある。

【0012】

このような故障時に信号通信が不通なることを防ぐには、信号通信装置系を2重にすることが考えられる。この方法では一方の信号通信装置に障害が発生し不通になんしても、もう一方の信号通信装置が動作可能なので、故障時に信号通信は不通にならない。この方法では故障時の利用可能なビットは正常動作時の50%である。しかし、一般にデータ信号のビット当りのコストは伝送速度が高速になるほど高くなるので、信号通信装置系を2重にするのはコスト的に不利な点が課題である。

【0013】

また、故障時に信号通信が不通なることを防ぐ別の方法として、データ信号の各ビットにクロック信号再生回路を設け、各ビット毎にクロック信号を抽出することも考えられる。この方法ではあるデータ信号1ビットに異常が発生しても、他のビットは独立にクロック信号を抽出し再生クロック信号を生成しているので動作可能である。この方法での故障時の利用可能なビットは、データ信号のビット数がn ($n > 1$ 、nは整数) ビットのとき、正常動作時の $(n - 1) / n \times 100\%$ である。しかしながら、最近では多ビットのデータ信号通信用の受信回路は、1つのLSIチップに実装することが一般的になってきている。そのため、デ

ータ信号が n ビットのときは 1 つの LSI チップに n 個のクロック信号再生回路が必要となるが、クロック信号再生回路は信号入力回路等の他の受信回路に比べ回路面積が大きいので、必要 LSI 面積が大きくなり、コスト増となる。また、一般にクロック信号再生回路には位相同期回路が用いられるが、この回路はノイズの発生源になりやすく、またノイズに対して動作が不安定になるという特徴があるので、同一 LSI チップに多数のクロック信号再生回路を実装することは、クロック信号再生回路間のノイズの影響が問題となり、LSI 開発の面から難易度が高いという課題がある。

【0014】

また、上記特許文献 1 に記載の回路は、抽出したクロック信号を内部クロックと同期させ、予備系クロックとして保持しておく装置であり、本発明のような抽出したクロック信号をデータ信号の再デジタル化のために使用するクロック信号再生伝送方式に関する装置ではない。

【0015】

特に光を用いた信号通信装置においては、ビット毎に光発生用の発振器が用いられているため、データ信号の 1 ビットが異常となる故障が比較的頻繁に発生する。従って、その対策は非常に重要な問題である。

【0016】

本発明は、LSI 開発の難易度を高くする要因である多数のクロック信号再生回路の実装を最小限の個数に抑え、1 ビットが異常となる故障に対して、データ通信が不通になることなく、その故障時の利用可能なビットは正常動作時の $(n-1)/n \times 100\%$ と最大である信号通信装置および信号通信方式を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明の一観点によれば、並列度 n ($n > 1$ 、 n は整数) ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式の信号通信装置であって、 n ビットのデータ信号を受信するデータ

信号受信部に設けられ、データ信号 n ビットのうちの a ($2 \leq a < n$ 、 a は整数) ビットのデータ信号を入力とし、その a ビットのうち b ($1 \leq b \leq a$ 、 b は整数) ビットを選択して前記再生クロック信号の基となる基準クロック信号として出力するクロック信号抽出・選択回路と、前記 n ビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各 n ビットの再生クロック信号をそれぞれ生成する n 個の位相調整回路とを有する信号通信装置が提供される。

【0018】

上記信号通信装置によれば、抽出するクロック信号に $a - 1$ 個の冗長性を持たせることにより、基準クロック信号を抽出するのに使用しているデータ信号ビットに異常が生じクロック信号が正しく抽出できない場合に、正しく抽出可能なクロック信号 $a - 1$ 個の内のいずれかに基準クロック信号を切替えることができる。

【0019】

p ($p \geq 1$ 、 p は整数) ビットの光信号を送受信する第1の送受信回路と、光信号と電気信号とを相互に変換する光一電気変換回路と、 p ビットの信号と q ($q \geq 1$ 、 q は整数) ビットの信号とを相互に変換するビット数変換回路と、 q ビットの電気信号を送受信する第2の送受信回路とを持つ光モジュール装置において、前記第1又は第2の少なくとも一方の送受信回路として、上記信号通信装置を用いる光モジュール装置を提供することができる。

【0020】

また、 r ($r \geq 1$ 、 r は整数) ポートのパケット信号を受信するパケット信号受信回路と、受信パケット信号を識別と制御を行う受信パケット信号制御部と、受信パケット信号制御部からの経路制御信号に従い受信ポートと送信ポートを繋ぐスイッチ回路と、送信パケット信号の制御を行う送信パケット信号制御部と、 s ($s \geq 1$ 、 s は整数) ポートのパケット信号を送信するパケット信号送信回路とを有するルータ装置において、前記パケット信号受信回路又は前記パケット信号送信回路の少なくともいずれか一方として、上記信号通信装置を用いるルータ

装置を提供することができる。

【0021】

本発明の他の観点によれば、並列度 n ($n > 1$ 、 n は整数) ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式の信号通信装置であって、 n ビットのデータ信号を受信するデータ信号受信部に設けられ、データ信号 n ビットのうちの a ($2 \leq a < n$ 、 a は整数) ビットのデータ信号に対して設けられ、データ信号からクロック信号を抽出するクロック信号抽出回路と、前記 a ビットのうちの b ($1 \leq b \leq a$ 、 b は整数) ビットを選択し、前記再生クロック信号の生成のために n 個の位相調整回路に対して再生クロック信号を生成するための b ビットの基準クロック信号を分配するクロック信号選択回路と、前記 n ビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各 n ビットの再生クロック信号をそれぞれ生成する n 個の位相調整回路とを有する信号通信装置が提供される。

【0022】

上記信号通信装置においては、前記 n ビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する前記データ信号をサンプリングして再デジタル化するタイミングを与える各 n ビットの再生クロック信号をそれぞれ生成する n 個の位相調整回路を有しているため、クロック信号の抽出を行うビットのデータ信号に異常が発生した場合でも、残りのビットで信号通信を継続することができる。

【0023】

本発明の別の観点によれば、光信号又は電気信号を用いた並列度 n ($n > 1$ 、 n は整数) ビットの通信を行い、通信するデータ信号からクロック信号を抽出してデータ信号を再デジタル化するための再生クロック信号として使用するクロック再生伝送方式の信号通信装置において、データ信号送信部に設けられ、データ信号の送信先の信号通信装置からのビット振り分け制御信号であって、正常動作

可能なデータ信号ビットを定めデータ信号の各ビットへの振り分け方法に関するビット振り分け制御信号を受信するための入力回路と、前記ビット振り分け制御信号に基づいてデータ信号を各ビットに振り分ける振り分け回路とを備えたことを特徴とする信号通信装置が提供される。

【0024】

上記信号通信装置によれば、データ信号送信部において、正常動作可能なデータ信号ビットを定めることにより、正常なデータ信号ビットのみを選択して信号通信を行うことができる。

【0025】

また、並列度n ($n > 1$ 、nは整数) ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式の信号通信装置であって、nビットのデータ信号を受信するデータ信号受信部に設けられ、データ信号nビットのうちのa ($2 \leq a < n$ 、aは整数) ビットのデータ信号のうちb ($1 \leq b \leq a$ 、bは整数) ビットを選択するデータ信号選択回路と、選択されたbビットのデータ信号からクロックを抽出するb個のクロック抽出回路と、前記再生クロック信号の生成のためにn個の位相調整回路に対して再生クロック信号を生成するためのbビットの基準クロック信号を分配する回路と、前記nビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各nビットの再生クロック信号をそれぞれ生成するn個の位相調整回路とを有する信号通信装置が提供される。

【0026】

上記信号通信装置によれば、まずデータ信号選択回路によりデータ信号nビットのうちのa ($2 \leq a < n$ 、aは整数) ビットのデータ信号のうちb ($1 \leq b \leq a$ 、bは整数) ビットを選択した後、選択されたbビットのデータ信号からクロック抽出回路によりクロックを抽出し、抽出したクロックを位相調整回路に出力するため、クロック抽出回路の数を削減することができる。

【0027】

本発明のさらに別の観点によれば、 n ビットのデータ信号を送信するデータ信号送信部と n ビットのデータ信号を受信するデータ信号受信部とを有し、並列度 n ($n > 1$ 、 n は整数) ビットの光信号又は電気信号を用いて通信を行い、通信するデータ信号から抽出したクロック信号を、データ信号を再デジタル化するための再生クロック信号として用いるクロック再生伝送方式であって、前記データ信号送信部は、前記データ信号受信部からのビット振り分け制御信号であって、正常動作可能なデータ信号ビットを定めデータ信号の各ビットへの振り分け方法に関するビット振り分け制御信号を受信するための入力回路と、前記ビット振り分け制御信号に基づいてデータ信号を各ビットに振り分ける振り分け回路とを有し、前記データ信号受信部は、データ信号 n ビットのうちの a ($2 \leq a < n$ 、 a は整数) ビットのデータ信号を入力とし、その a ビットのうち b ($1 \leq b \leq a$ 、 b は整数) ビットを選択して前記再生クロック信号の基となる基準クロック信号として出力するクロック信号抽出・選択回路と、前記 n ビットのデータ信号のそれぞれに設けられビット毎に前記基準クロック信号と前記データ信号とのタイミングを調整する位相調整回路であって、前記データ信号をサンプリングして再デジタル化するタイミングを与える各 n ビットの再生クロック信号をそれぞれ生成する n 個の位相調整回路とを有し、さらに、データ信号 n ($n > 1$ 、 n は整数) ビットのうち、データ信号 c ($1 < c < n$ 、 c は整数) ビットに異常が発生し通信が前記データ信号送信部とデータ信号受信部との間で不通となった場合に、不通になったビットのデータを正常に通信可能な他の $n - c$ ビットに振り分けてデータ通信する回路を有することを特徴とする信号通信方式が提供される。

【0028】

上記信号通信方式によれば、データ通信ビットのいずれかに異常が発生した場合でも、他のビットに振り分けることにより正常に通信を行うことができる。データ信号 n ($n > 1$ 、 n は整数) ビットの内 c ($1 < c < n$ 、 c は整数) ビットが不通となった場合のデータ信号の振り分け方として、前記ビット振り分け制御信号に基づいて各ビットのデータ信号を元のデータ順序に復元する回路を有する手法又は、不通になった c ($1 < c < n$ 、 $n > 1$ 、 c 、 n は整数) ビットのデータ

タの不適でない他の $n - c$ ビットへの振り分けを、データ 1 ビット単位で振り分ける又はデータ k ビット単位で振り分ける又はパケットデータ単位で振り分けるのいずれかにより行う方法を用いることができる。

【0029】

【発明の実施の形態】

以下に、本発明の実施の形態による信号通信装置について図面を参照しつつ説明を行う。

本発明の第 1 の実施の形態による信号通信装置について図面を参照して説明する。第 1 の実施の形態による信号通信装置は、以下の各実施の形態による信号通信装置の基本構成例である。図 1 に示すように、本実施の形態による信号通信装置は、 n ($n > 1$ 、 n は整数) ビットのデータ信号を送信する信号通信装置 A101 と、信号通信装置 A101 から送られた n ビットのデータ信号を受信する信号通信装置 B102 とを有する。信号通信装置 A101 は、 n ビットのデータ信号 $Tid_1, Tid_2, Tid_3, \dots, Tid_n$ を出力する内部回路 103 と、出力バッファ回路 1041, 1042, 1043, \dots, 104n と、装置 A101 と装置 B102 とを繋ぐ伝送線路 1051, 1051, 1052, 1053, \dots, 105n であって、例えば光ファイバ又は導体線からなる伝送線路を有する。データ信号 $Tid_1, Tid_2, Tid_3, \dots, Tid_n$ は、それぞれ出力バッファ回路 1041, 1042, 1043, \dots, 104n によって、例えば光信号または電気信号として、それぞれ伝送線路 1051, 1052, 1053, \dots, 105n に出力される。

【0030】

一方、信号通信装置 B102 内の、1061, 1062, 1063, \dots, 106n は、伝送線路 1051, 1052, 1053, \dots, 105n を通して送られてきた n ビットのデータ信号を受信して、 n ビットのデータ信号 $Txd_1, Txd_2, Txd_3, \dots, Txd_n$ を出力する入力バッファ回路である。以上に説明した信号通信装置の構成は、図 1-4 に示す信号通信装置の構成例と同じである。また、信号通信装置 B102 は、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能とを有するクロック信号再生・データ信号再生回路部 118 と、データ信号 Txd_1 からクロック信号 SCK1 の抽出を行う第 1 のクロック信号再生回路 1071 と、データ信号 Txd_n からクロック信号 SCK2 の抽出を行う第 2 のクロック信号再生回路 1072 とを有する。さらに、信号通信装置 B102

2は、上記2つのクロック信号再生回路1071、1072により抽出されたクロック信号SCK1,SCK2のいずれか一方を選択するセレクタ回路111を有している。セレクタ回路111で選択されたクロック信号が、データ信号を再生するために用いられる再生クロック信号の基となる基準クロック信号SCKである。加えて、信号通信装置B102は、基準クロック信号SCKと各データ信号Txd1,Txd2,Txd3,…,Txdnとの位相を比較し、データ信号を正しく再生するように位相調整された再生クロック信号RCK1,RCK2,RCK3,…,RCKnを出力する位相調整回路1081,1082,1083,…,108nと、データ信号Txd1,Txd2,Txd3,…,Txdnと再生クロック信号RCK1,RCK2,RCK3,…,RCKnとから再生クロック信号に同期したデータ信号Tod1,Tod2,Tod3,…,Todnを出力するフリップフロップ回路1091,1092,1093,…,109nとを有している。符号110で示される回路は、再生クロック信号と同期したデータ信号Tod1,Tod2,Tod3,…,Todnを入力する内部回路である。

【0031】

図14の回路構成は、データ信号からクロック信号を抽出するクロック信号再生回路を1つのみ有しているため、クロック信号の抽出を行うビットのデータ信号Txd1に異常が発生した場合に、基準クロック信号SCKが抽出できず、異常が発生したTxd1以外のn-1ビットのデータ信号も通信ができなくなるのに対して、上記本実施の形態による信号通信回路の構成例では、データ信号からクロック信号を抽出するクロック信号再生回路を2つ備えるため、例えば、それぞれ別の2つのビットのデータ信号Txd1,Txdnからクロック信号を抽出することが可能である。

【0032】

上記の新しい構成により、基準クロック信号SCKの抽出を行うビットのデータ信号、例えばTxd1に異常が発生した場合でも、別のビットのデータ信号、例えばTxdnから基準クロック信号SCKを抽出することが可能となる。従って、異常が発生したTxd1以外のn-1ビットのデータ信号は、正常に通信を行うことができ、信頼性が高い信号通信装置となる。

【0033】

図2は、図1に示す信号通信装置の基本構成例の信号のタイミング関係を、信

号SCK（基準クロック信号），Txd1，Txd2，Txd3，Txrn，SCK1，SCK2，RCK1，RCK2，RCK3，RCKnの波形を示すことにより具体的に表示したものである。図2に示すように、クロック信号再生回路1071は、データ信号Txd1に同期したクロック信号SCK1を抽出し、同様にクロック信号再生回路1072は、データ信号Txrnに同期したクロック信号SCK2を抽出する。

【0034】

図2に示す例では、クロック信号SCK1，SCK2の周波数は、データ信号の伝送周波数の1/2の周波数を用いているが、一般に倍倍または分周した周波数を用いても良い。図2において、データ信号Txd1,Txd2,Txd3,Txrнのそれぞれの位相がビット間で互いにずれているのは、それぞれのビットで伝送線路等の伝播時間に差異があるためである、このような現象を、一般的にビット間スキューと呼ぶ。また、それぞれのデータ信号には、伝送線路での信号の減衰や電源温度などの環境変化に起因する位相変動、いわゆるジッタが発生する。このビット間スキュー やジッタに起因して、基本クロック信号SCKと各ビットのデータ信号Txd1,Txd2,Txd3,…,Txrnとの位相関係がばらばらになり、次段のフリップフロップでのタイミングマージンを確保できない場合がでてくる。

【0035】

そこで、各ビットのデータ信号Txd1,Txd2,Txd3,…,Txrnに対して、次段のフリップフロップ1091,1092,1093,…,109nでのタイミングマージンを確保できるように、位相調整回路1081,1082,1083,…,108nにより位相を調整した再生クロック信号RCK1,RCK2,RCK3,…,RCKnを生成する。図2に示す例では、再生クロック信号の位相とデータ信号の位相との関係は、再生クロック信号の立ち上がり・立ち下がりエッジとデータ信号の立ち上がり・立ち下がりエッジとの位相差TRDがデータ信号周期TDの1/2になるように位相を調整している。また、図2に示す装置では、次段のフリップフロップ1091,1092,1093,…,109n（図1）にクロック信号の立ち上がり・立ち下がりの両方でセンスするタイプのものを使用しているため、再生クロック信号RCK1,RCK2,RCK3,…,RCKnの周波数としてデータ信号の伝送周波数の1/2の周波数を用いているが、使用するフリップフロップのタイプが異なる場合には、それに合わせて周波数を設定すれば良い。

【0036】

このようなタイミング関係で動作するクロック信号再生伝送方式において、クロック信号の抽出を行うビットのデータ信号Tx_{d1}に異常が発生した場合の基準クロック信号SCKの切替えのタイミング関係について以下に説明する。

【0037】

図2に示すように、時刻T1でデータ信号Tx_{d1}に異常が発生したとする。時刻T2は、基準クロック信号SCKとして使用するクロック信号がクロック信号SCK1からクロック信号SCK2に切り替わった時刻である。期間P1中は、基準クロック信号SCKとしてデータ信号Tx_{d1}から抽出されたクロック信号SCK1が用いられるが、時刻T1以降はデータ信号Tx_{d1}に異常が発生しデータ信号の立ち上がり・立ち下がりのエッジを検出できなくなるため、基準クロック信号SCKとして選択されているクロック信号SCK1はデータ信号の1/2の周波数TD/2から徐々にずれていく。同様に、各ビットに対する再生クロック信号RCK1,RCK2,RCK3,…,RCKnの周波数もデータ信号の1/2の周波数TD/2からずれていくため、フリップフロップ回路1091,1092,1093,…,109nにおいてデータ信号を正しく再デジタル化することができなくなる。そこで本実施の形態による信号通信装置では、期間P2において基準クロック信号SCKの異常の検出を行い、基準クロック信号SCKをSCK1からSCK2に切替える処理を行う。この処理を行うことにより、クロック信号の切替えが完全に終了する時刻T2以降の期間P3では、基準クロック信号SCKとしてデータ信号Tx_{dn}から抽出された正常なクロック信号SCK2を用いることができ、再生クロック信号のRCK2,RCK3,…,RCKnの生成を再開することができる。

【0038】

従って、異常が生じるデータ信号Tx_{d1}以外のn-1ビットのデータ信号に関する通信を再開することができる。クロック信号の異常の検出に関して図7を参照して第4の実施の形態（第4構成例）において説明する。

【0039】

尚、上記の第1の実施の形態による信号通信装置（基本構成例）は、データ信号ビットからクロック信号を抽出する数が2であり、そのクロック信号から選択する基準クロック信号の数が1の場合を示したものであるが、一般に抽出するク

ロック信号の数が a ($2 \leq a < n$ 、 a は整数) で、選択する基準クロック信号の数が b ($1 \leq b \leq a$ 、 b は整数) の場合にも同様に適用できることは言うまでもない。

【0040】

次に、本発明の第2の実施の形態による信号通信技術について図面を参照して説明する。図3は、本発明の第2の実施の形態による信号通信装置の第2の構成例を示す図である。図3に示すように、本実施の形態による信号通信装置は、信号通信装置A301と、信号通信装置B302と、信号通信装置A301内に設けられ n ($n > 1$ 、 n は整数) ビットのデータ信号 $Tid_1, Tid_2, Tid_3, \dots, Tid_n$ を出力する内部回路303と、出力バッファ回路3041, 3042, 3043, …, 304nとを含む。符号3051, 3052, 3053, …, 305nで示す要素は信号の伝送線路である。信号通信装置B302内には、 n ビットのデータ信号 $Txd_1, Txd_2, Txd_3, \dots, Txd_n$ を出力する入力バッファ回路3061, 3062, 3063, …, 306nと、データ信号を正しく再生するために位相が調整された再生クロック信号 $RCK_1, RCK_2, RCK_3, \dots, RCK_n$ を出力する位相調整回路3081, 3082, 3083, …, 308nと、再生クロック信号と同期したデータ信号 $Tod_1, Tod_2, Tod_3, \dots, Tod_n$ を出力するフリップフロップ回路3091, 3092, 3093, …, 309nと、データ信号 $Tod_1, Tod_2, Tod_3, \dots, Tod_n$ を入力する内部回路310と、を有している。図3に示す第2構成例では、信号通信装置B302内のクロック信号を抽出する回路以外の構成は、上記第1構成例（基本構成例）と同じである。また、この第2構成例による装置は、データ信号からクロック信号の抽出を行う回路の一部分を2つ備えることにより冗長化する点を特徴としており、それ以外の回路は共通化されている。図3に示すように、符号318で示され2点鎖線で囲まれた回路部は、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能とを有するクロック信号再生・データ信号再生回路部である。

【0041】

クロック信号の抽出を行う回路として、例えば位相同期回路、いわゆるPhase Locked Loop（以下「PLL」と称する。）で構成する場合について説明する。一般に、この位相同期回路は、位相比較器、ループフィルタ、電圧制御発振器の3つの要素から構成される。図3において、データ信号 Txd_1 と基本クロック信号

SCKとの位相比較を行う1つ目の位相比較器3131は位相比較信号PS1を出力する。データ信号Tx_dnと基本クロック信号SCKとの位相比較を行う2つ目の位相比較器3132は位相比較信号PS2を出力する。さらに、位相比較信号PS1とPS2のいずれか一方を選択し出力するセレクタ回路312と、位相同期回路の位相比較器を除いた他の構成要素314は、ループフィルタおよび電圧制御発振器である。この構成により、セレクタ回路312において位相比較信号PS1を選択した時は、位相比較器3131とループフィルタおよび電圧制御発振器314とで位相同期回路を構成し、データ信号Tx_d1からクロック信号を抽出し基本クロック信号SCKとして出力するクロック信号再生回路として動作する。

【0042】

一方、位相比較信号PS2を選択した時は、位相比較器3132とループフィルタおよび電圧制御発振器314とで位相同期回路を構成し、データ信号Tx_dnからクロック信号を抽出し基本クロック信号SCKとして出力するクロック信号再生回路として動作する。

【0043】

次に、クロック信号再生回路について図15を参照して詳細に説明する。図15に示すように、クロック信号再生回路1541は、図3に示す位相比較器3131,3132と、位相比較信号のセレクタ回路312と、ループフィルタおよび電圧制御発振器314に対応するクロック信号再生回路の回路構成を詳細に示したものである。図15において、符号15421は、図3の位相比較器3131に対応し、データ信号Tx_d1と基準クロック信号SCKとの位相を比較して位相比較信号PS1を出力する。同様に、図15において、符号15422は、図3の3132に対応する位相比較器に対応し、データ信号Tx_dnと基準クロック信号SCKの位相を比較して位相比較信号PS2を出力する回路である。符号15431、15432は、位相比較器を構成するDフリップフロップ回路である。図15に示す構成例では、データ信号とクロック信号の位相とを比較し、位相の進み／遅れに対してLowレベル／Highレベル信号を出力するBang-Bang型と呼ばれる位相比較器を用いているが、一般に他のタイプの位相比較器に置き換えることも可能である。図15に示す回路において、図3のセレクタ回路312に対応するセレクタ回路1544は、クロック選択信号により位相比較信

号PS1、PS2のいずれか一方を選択して位相比較信号PSを出力する。図15に示す回路は、チャージポンプ回路およびループフィルタ1545と、電圧制御発振器1549とを有しており、チャージポンプ回路およびループフィルタ1545と、電圧制御発振器1549とは、図3の符号314で示す構成に対応する。

【0044】

符号15461,15462は、チャージポンプ回路の電流源であり、符号1547,1548はループフィルタの抵抗およびコンデンサである。ループフィルタは、位相比較信号PSに従い次段の電圧制御発振器の制御信号VCを出力する。電圧制御発振器1549は、例えばバッファ回路15501,15502を2段ループ接続した構成を探る。この電圧制御発振器1549は、制御電圧VCにより発振周波数が制御され、データ信号の伝送周波数と同じ周波数の基準クロック信号SCKが出力される。この基準クロック信号SCKは、データ再生クロック信号の元となる基準クロック信号、および位相比較器に入力されるクロック信号である。以上の回路構成により、クロック再生回路の構成要素の内ループフィルタと電圧制御発振器とに関しては、信号Txd1とTx dnとに対して共有して用いることができ、回路数を削減することができる。

【0045】

図4は、図3の本発明による第2の実施の形態による信号通信装置（第2の構成例）の信号のタイミングを、信号SCK, Txd1, Txd2, Txd3, Tx dn, RCK1, RCK2, RCK3, RCKnの波形を用いて具体的に示したものである。クロック信号再生伝送方式に関する詳しいタイミング関係に関しては、図2と同様であるため説明を省略し、クロック信号の抽出を行うビットのデータ信号Txd1に異常が発生した場合の基準クロック信号SCKの切替えタイミング関係について以下に説明する。

【0046】

図4に示すように、時刻T1はデータ信号Txd1に異常が発生した時刻であり、時刻T2は基準クロック信号SCKを抽出するデータ信号がTxd1からTx dnに切替わった時刻である。その間の期間P1において、セレクタ回路312により位相比較信号PS1が選択され、位相比較器3131とループフィルタおよび電圧制御発振器314とで位相同期回路を構成しデータ信号Txd1から基準クロック信号SCKが抽出される。時刻T1以降は、データ信号Txd1に異常が発生してデータ信号の立ち上がり・立ち下

がりエッジを検出できなくなるため、基準クロック信号SCKはデータ信号の1/2の周波数TD/2から徐々にずれていく。同様に各ビットに対する再生クロック信号RC_{K1}, RCK₂, RCK₃, …, RCK_nの周波数もデータ信号の1/2の周波数TD/2からずれていくためフリップフロップ回路3091, 3092, 3093, …, 309nでデータ信号を正しく再デジタル化することができなくなる。そこで本発明の第2の実施の形態による信号通信装置（第2の構成例）では、期間P2において基準クロック信号SCKの異常の検出を行い、セレクタ回路312で位相比較信号をPS2に切替えて位相比較器3132とループフィルタおよび電圧制御発振器314とで位相同期回路を構成し、基準クロック信号SCKを抽出するデータ信号をTx_{d1}からTx_{dn}に切替える。

[0047]

これにより、クロック信号の切替えが完全に終了する時刻T2以降の期間P3では、基準クロック信号SCKとしてデータ信号Tx_dnから抽出された正常なクロック信号が用いられ、再生クロック信号のRCK₂, RCK₃, …, RCK_nの生成が再開され、異常のあるデータ信号Tx_d1以外のn-1ビットのデータ信号は通信を再開することができる。本実施の形態による第2の構成例は、データ信号ビットからクロック信号を抽出するための回路が2個設けられ、基準クロック信号の数が1の場合を示しているが、一般にクロック信号を抽出するための回路がa（ $2 \leq a \leq n$ 、aは整数）個で、基準クロック信号の数がb（ $1 \leq b \leq a$ 、bは整数）にも同様に適用可能である。

[0048]

次に、本発明の第3の実施の形態による信号通信装置について図面を参照して説明する。図5は、本実施の形態による信号通信装置の第3構成例を示す図である。図5に示すように、本実施の形態による信号通信装置は、信号通信装置A501と、信号通信装置B502とを有している。信号通信装置A501内には、8ビットのデータ信号Tid1,Tid2,Tid3,…,Tid8を出力する内部回路503と、出力バッファ回路5041,5042,5043,…,5048と、伝送線路5051,5052,5053,…,5058とを有している。信号通信装置B502は、8ビットのデータ信号Txd1,Txd2,Txd3,…,Txd8を出力する入力バッファ回路5061,5062,5063,…,5068と、データ信号を正しく再生するために位相が調整された再生クロック信号RCK1,RCK2,RCK3,…,RCK8を出力する位相

[0049]

上記第3の実施の形態による信号通信回路（第3の構成例）は、信号通信装置B502内のクロック信号を抽出する回路と基準クロック信号を位相調整回路5081, 5082, 5083, …, 5088に分配する回路以外の構成は、基本構成例と同様であり、説明を省略する。本実施の形態による信号通信回路（第3の構成例）は、データ信号を4ビットずつ2つのグループに分ける構成を有している。

[0050]

一点鎖線で囲まれ符号5151で示される領域は、データ信号Tx_{d1}, Tx_{d2}, Tx_{d3}, Tx_{d4}から構成された第1のグループ領域であり、同じく一転鎖線で囲まれ符号5152で囲まれる領域は、データ信号Tx_{d5}, Tx_{d6}, Tx_{d7}, Tx_{d8}から構成された第2のグループ領域である。信号通信装置B502内には、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能とを有するクロック信号再生およびデータ信号再生回路部518（2点鎖線で囲まれた領域）と、データ信号Tx_{d1}からクロック信号SCK1の抽出を行う第1のクロック信号再生回路5071と、データ信号Tx_{d5}からクロック信号SCK2の抽出を行う第2のクロック信号再生回路5072とを有する。符号511で示される回路は、上記2つのクロック信号再生回路5071・5072において抽出されたクロック信号SCK1, SCK2のいずれか一方を選択するセレクタ回路である。このセレクタ回路511で選択されたクロック信号が、第1のグループ内のデータ信号を再生するために用いられる再生クロック信号の基になる基準クロック信号GSCK1として使用される。

[0 0 5 1]

また、符号5112で示される回路は、2つのクロック信号再生回路で抽出されたクロック信号SCK1,SCK2のいずれか一方を選択するセレクタ回路である。この回路で選ばれたクロック信号が第2のグループ内のデータ信号を再生するために用いられる再生クロック信号の基になる基準クロック信号GSCK2として使用される

【0052】

通常動作時は、第1のグループにおいては、グループ内のデータ信号Tx_{d1}から抽出されたクロック信号SCK1が基準クロック信号GSCK1として選択され、第2のグループにおいては、グループ内のデータ信号Tx_{d5}から抽出されたクロック信号SCK2が基準クロック信号GSCK2として選択される。

【0053】

図5に示す第3の構成例では、グループ毎にデータ信号からクロック信号を抽出するクロック信号再生回路を備え、他グループで抽出されたクロック信号を基準クロック信号として使用できる構成を有している。例えば、第2のグループで抽出されたクロック信号SCK2を第1のグループの基準クロック信号GSCK1として使用できる。

【0054】

この構成によりクロック信号の抽出を行うビットのデータ信号に、例えば第1グループのTx_{d1}に異常が発生した場合でも、第2グループは、正常に通信を続けることが可能である。さらに第1グループの基準クロック信号として第2グループで抽出されたクロック信号とを使用することで、異常が発生したTx_{d1}以外のビットTx_{d2}, Tx_{d3}, Tx_{d4}のデータ信号は正常に通信を行うことができ、信号通信の信頼性が高くなる。上記第3の構成例は、データ信号のビット数8、グループ数2の場合であるが、一般にビット数n ($n > 2$ 、nは整数)、グループ数m ($2 < m < n$ 、mは整数)の信号通信装置にも適用可能である。

【0055】

図6は、図5に示す本発明の第3の実施の形態による信号通信装置（第3構成例）の装置における信号のタイミング関係について、信号GSCK1, GSCK2, SCK1, SCK2, Tx_{d1}, Tx_{d2}, Tx_{d5}, Tx_{d6}, RCK1, RCK2, RCK5, RCK6の波形を用い具体的に示した図である。クロック信号再生伝送方式に関する詳しいタイミング関係については、図2と同様であるため説明を省略する。第1グループ内のクロック信号の抽出を行うビットのデータ信号Tx_{d1}に異常が発生した場合の動作を例にして以下に説明する。

【0056】

図6に示すように、時刻T1はデータ信号Tx_{d1}に異常が発生した時刻であり、時刻T2は第1グループの基準クロック信号GSCK1として使用されるクロック信号がクロック信号SCK1からクロック信号SCK2に切り替った時刻である。期間P1中は、第1グループの基準クロック信号GSCK1としてデータ信号Tx_{d1}から抽出されたクロック信号SCK1が用いられる。時刻T1以降はデータ信号Tx_{d1}に異常が発生しデータ信号の立ち上がり・立ち下がりエッジを検出できなくなる。そこで、第1のグループ内の基準クロック信号GSCK1として選択されているクロック信号SCK1の周波数は、データ信号の1/2の周波数TD/2から徐々にずれていく。同様に、第1のグループ内の各ビットに対する再生クロック信号RCK1,RCK2,RCK3,RCK4の周波数もデータ信号の1/2の周波数TD/2からずれるため、フリップフロップ回路5091,5092,5093,5094においてデータ信号を正しく再デジタル化することができなくなる。

【0057】

そこで本実施の形態による信号通信装置では、期間P2において、基準クロック信号GSCK1の異常の検出を行い、基準クロック信号GSCK1をSCK1からSCK2に切替える。これにより、クロック信号の切替えが完全に終了する時刻T2以降の期間P3では、第1のグループ内の基準クロック信号GSCK1として第2のグループ内のデータ信号Tx_{d5}から抽出された正常なクロック信号SCK2が用いられる。再生クロック信号のRCK2,RCK3,RCK4の生成が再開され、第1のグループ内の異常のあるデータ信号Tx_{d1}以外のデータ信号は通信を再開することができる。

【0058】

尚、第1のグループ内のクロック信号の抽出を行うビットのデータ信号Tx_{d1}の異常は第2のグループには影響せず、期間P1,P2,P3の全期間で第2のグループ内のデータ信号は正常に通信を行うことができる。

【0059】

次に、本発明の第4の実施の形態による信号通信装置について図面を参照して説明する。図7は、本実施の形態による信号通信装置（第4の構成例）である。図7に示すように、本実施の形態による信号通信装置は、信号通信装置A701と

、信号通信装置B702とを有している。信号通信装置A701内には、n（n>1、nは整数）ビットのデータ信号Tid1,Tid2,Tid3,…,Tidnを出力する内部回路703と、出力バッファ回路7041,7042,7043,…,704nと、伝送線路7051,7052,7053,…,705nとを有している。

【0060】

信号通信装置B702内には、nビットのデータ信号Txd1,Txd2,Txd3,…,Txdnを出力する入力バッファ回路7061,7062,7063,…,706nと、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能をもつクロック信号再生およびデータ信号再生回路部718と、データ信号Txd1からクロック信号SCK1を抽出するクロック信号再生回路7071と、データ信号Txdnからクロック信号SCK2を抽出するクロック信号再生回路7072と、を有している。さらに、データ信号を正しく再生するために位相が調整された再生クロック信号RCK1,RCK2,RCK3,…,RCKnを出力する位相調整回路7081,7082,7083,…,708nと、再生クロック信号と同期したデータ信号Tod1,Tod2,Tod3,…,Todnを出力するフリップフロップ回路7091,7092,7093,…,709nと、データ信号Tod1,Tod2,Tod3,…,Todnを入力する内部回路710とを有している。

【0061】

本実施の形態による信号通信装置（第4の構成例）は、信号通信装置B702内のクロック信号をモニタする回路およびクロック信号の選択回路以外の構成は、上記基本構成例と同じであり、説明を省略する。図7に示すように、本実施の形態による信号通信装置は、データ信号Txd1、Txdnから抽出されたクロック信号SC K1,SCK2をモニタして正常なクロック信号を選択する選択信号ISELを出力するクロック信号モニタ回路716を含む。クロック信号モニタ回路716は、例えば、クロック信号の周波数のモニタ或いはクロック信号の信号電位をモニタして異常かどうか検出できる回路である。符号717で示す回路は、クロック信号モニタ回路からのクロック信号選択信号ISEL又は装置外部からの制御信号として入力されるクロック信号選択信号ESELによって、クロック信号SCK1,SCK2のいずれか一方を選択するセレクタ回路であり、このセレクタ回路717で選ばれたクロック信号がデータ信号を再生するために用いられる再生クロック信号の元となる基準クロック

信号SCKとして使用される。また、符号719で示される部分は、異常通知ランプである。異常通信ランプ719は、クロック信号モニタ回路716からのクロック信号異常通知信号により発光し、異常の発生を信号通信装置の使用者に伝える。

【0062】

本実施の形態（第4の構成例）による信号通信装置内の信号のタイミング関係については、図2に示す本発明の基本構成例のタイミング関係と同様であるため、その説明を省略する。上記第4の構成例では、データ信号ビットからクロック信号を抽出する数が2であり、そのクロック信号から選択する基準クロック信号の数が1である場合が示されているが、一般に、抽出するクロック信号の数がa（ $2 \leq a < n$ 、aは整数）で、選択する基準クロック信号の数がb（ $1 \leq b \leq a$ 、bは整数）の場合にも同様に適用可能である。本実施の形態による信号通信回路（第4の構成例）では、クロック信号の異常検出のために、データ信号Tx_{d1}、Tx_{dn}から抽出されたクロック信号SCK1、SCK2をモニタしているが、別の例として、クロック信号を抽出しているデータ信号Tx_{d1}、Tx_{dn}の例えば電圧レベル、立ち上がり・立ち下がりエッジ、ビットエラーの有無、ビットエラー率、ジッタ量の少なくとも1つ以上をモニタして異常を検出しても良い。

【0063】

上記本発明の第1から第4までの実施の形態による信号通信回路の構成例によれば、クロック信号の抽出を行うビットのデータ信号に異常が発生した場合でも、残りのn-1ビットは信号通信を継続できるため信号通信装置の信頼性を向上させることができる利点を有する。

【0064】

次に、上記第1から第4までの実施の形態による信号通信装置の構成例において、データ信号の一部にビット異常が発生した場合に、データ信号を正常なビットに振り分ける信号通信方式の実施例に図面を参照して以下に説明する。

【0065】

図8は、本発明の第5の実施の形態による信号通信装置（第5の構成例）の構成例を示す図である。図8に示すように、本実施の形態による信号通信装置は、信号通信装置A801と、信号通信装置B802とを含んでいる。信号通信装置A801

内には、1ビットのシリアルデータ信号DTIを出力する内部回路803と、入力シリアル信号DTIをデマルチプレクサ制御信号DCに従い4ビットのデータ信号Tid1,Tid2,Tid3,Tid4に振り分けて出力するデマルチプレクサ回路802と、出力バッファ回路8041,8042,8043,8044と、伝送線路8051,8052,8053,8054と、を含んでいる。

【0066】

信号通信装置B802は、4ビットのデータ信号Txid1,Txid2,Txid3,Txid4を出力する入力バッファ回路8061,8062,8063,8064と、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能をもつクロック信号再生およびデータ信号再生回路部818とを含んでいる。この回路部818は、クロック信号の抽出を行うビットのデータ信号に異常が発生した場合において、残りのn-1ビットは信号通信を継続できる構成を有している。符号826で示される回路はデータ信号モニタ回路であり、再デジタル化された4ビットのデータ信号Tod1,Tod2,Tod3,Tod4の例えばビットエラー率をモニタし、予め定められた許容値、例えば10から12以上である場合は、そのビットは通信不適格としてデータ信号の異常情報を含むデータ信号異常通知信号ERIを出力する。ここでモニタする情報は、ビットエラー率に限らず、電圧レベル、ビットエラーの有無、ジッタ量などのデータ信号の通信品質に関する情報であれば良い。符号827で示される回路は、データ信号異常通知信号ERIを基にデータ信号各ビットの使用の可否を定める機能と、データ信号の4ビットへの振り分け方法を定める機能とを持つデータ信号ビット制御回路である。マルチプレクサ回路821は、データ信号ビット制御回路827からのマルチプレクサ制御信号MCに従い4ビットのデータ信号Tod1,Tod2,Tod3,Tod4を1ビットのシリアルデータ信号DT0にまとめて出力する。内部回路810は、シリアルデータ信号DT0を入力する。

【0067】

さらに、信号通信装置B802は、出力バッファ回路825と、伝送線路824と、入力バッファ回路823と、信号通信装置A801内のデータ信号ビット制御回路822とを有する。データ信号ビット制御回路827から出力されるビット振り分け制御信号Rxctは、出力バッファ回路825から伝送線路824経由して入力バッファ回路823により信号通信装置A801のデータ信号ビット制御回路822に伝えられる。データ

信号ビット制御回路822は、ビット振り分け制御信号Rictを基にデマルチプレクサ制御信号DCを出力する。本実施の形態による信号通信装置（第5の構成例）は、信号通信装置B802でデータ信号ビットの使用の可否とデータ信号ビットの振り分け方とを決め、これらの情報を含むビット振り分け制御信号を信号通信装置A801に通知することにより、信号通信装置A801と信号通信装置B802とで同じデータ信号ビットの振り分け方を用いて信号通信が可能である。これにより、データ信号の一部にビット異常が発生した場合は、データ信号を正常なビットに振り分けて信号通信を行うことができる。

【0068】

図9は、図8の構成例においてデータ信号の通信順序を具体的に示した図である。DT1, DT2, …, DT8はそれぞれデータ信号の1つのデータ単位を表し、例えば、sビット、tバイト、または、uパケット等 ($s > 0, t > 0, u > 0, s, t, u$ は整数) で表される。信号の順序は、先頭データからDT1, DT2, …, DT9の順で表す。図9 (a) は、全4ビットが正常に動作している場合のデータの通信順序を示す図であり、データ単位 [DT1, DT2, DT3, DT4] および、[DT5, DT6, DT7, DT8] が並列になるように、それぞれ4ビットのデータ信号Tx d1, Tx d2, Tx d3, Tx d4に割当てられて信号の通信を行う。一方、図9 (b) はデータ信号Tx d1に異常が発生し、データ信号Tx d2, Tx d3, Tx d4の3ビットで通信を行っている場合のデータの通信順序を示す図である。この場合は、データ信号Tx d1が通信できないため、データ単位 [DT1, DT2, DT3] 、[DT4, DT5, DT6] 、および [DT7, DT8, DT9] が並列になるように、それぞれ3ビットのデータ信号Tx d2, Tx d3, Tx d4に割当てて信号の通信を行う。上記第5の構成例は、信号通信装置A801と信号通信装置B802との間の通信データ信号ビットが4ビットの場合の例であるが、一般に、ビット数n ($n > 1$ 、nは整数) の信号通信装置にも適用できる。また、送信側の信号通信装置内のデマルチプレクサ回路によって振り分けられる前の信号DTIが1ビットであり、受信側の信号装置内のマルチプレクサ回路によって復元される信号DT0が1ビットの場合について示しているが、一般にDTIがpビット ($p > 0$ 、pは整数) で、DT0がq ($q > 0$ 、qは整数) ビットの場合にも適用できる。

【0069】

次に、本発明の第6の実施の形態による信号通信装置について図面を参照して説明する。図10は本実施の形態による信号通信装置であって、受信機能と送信機能との両方を有する双方向の信号通信装置の構成例（第6の構成例）を示す図である。本実施の形態による信号通信装置の第6の構成例として、送信4ビット、受信4ビットの信号通信装置を例にして説明する。図10に示すように、本実施の形態による信号通信装置は、信号通信装置A1001と、信号通信装置B1002と、を有している。片方向の信号通信に関しては図8に示す第5の構成例と同様の構成を有する。

【0070】

信号通信装置A1001から信号通信装置B1002への信号伝送を行う回路について、信号通信装置A1001内には、1ビットのシリアルデータ信号DTIを出力する内部回路10031と、入力シリアル信号DTIをデマルチプレクサ制御信号DC1に従い4ビットのデータ信号Tid1,Tid2,Tid3,Tid4に振り分けて出力するデマルチプレクサ回路10201と、出力バッファ回路10041,10042,10043,10044と、伝送線路10051,10052,10053,10054と、を有する。

【0071】

信号通信装置B1002は、4ビットのデータ信号Txd1,Txd2,Txd3,Txd4を出力する入力バッファ回路10061,10062,10063,10064、データ信号からクロックを抽出する機能とデータ信号を再デジタル化する機能をもつクロック信号再生およびデータ信号再生回路部10181とを有する。この回路部10181は、本実施の形態による信号通信回路において、クロック信号の抽出を行うビットのデータ信号に異常が発生した場合でも、残りのn-1ビットは信号通信を継続できる。符号10261で示される回路は、再デジタル化された4ビットのデータ信号Tod1,Tod2,Tod3,Tod4のモニタ回路であり、例えばビットエラー率をモニタして予め定められた許容値、例えば10から12以上の場合は、そのビットは通信不適格としてデータ信号の異常情報を含むデータ信号異常通知信号ERI1を出力する。ここでモニタする情報は、ビットエラー率に限らず、電圧レベル、ビットエラーの有無、ジッタ量などのデータ信号の通信品質に関する情報であれば良い。符号10271で示される回路は、データ信号異常通知信号ERI1を基にデータ信号各ビットの使用の可否を

定める機能と、データ信号の4ビットへの振り分け方法を定める機能とを持つデータ信号ビット制御回路である。マルチプレクサ回路10211は、データ信号ビット制御回路10271からのマルチプレクサ制御信号MC1に従い4ビットのデータ信号Tod1,Tod2,Tod3,Tod4を1ビットのシリアルデータ信号DT0にまとめて出力する。内部回路10101は、シリアルデータ信号DT0を入力する回路である。符号10251は出力バッファ回路を示し、符号10241は伝送線路を示し、符号10231は入力バッファ回路を示し、符号10221は信号装置A1001内のデータ信号ビット制御回路である。

【0072】

データ信号ビット制御回路10271から出力されるビット振り分け制御信号Rxctは、出力バッファ回路10251から伝送線路10241経由して入力バッファ回路10231により信号通信装置A1001のデータ信号ビット制御回路10221に伝えられる。データ信号ビット制御回路10221は、ビット振り分け制御信号Rxctを基にデマルチプレクサ制御信号DC1を出力する。

【0073】

一方、信号通信装置B1002から信号通信装置A1001への信号伝送を行う回路については、上記の信号通信装置A1001から信号通信装置B1002への信号伝送を行う回路と通信方向が逆向きであるが同じ構成を有する。信号通信装置B1002内の符号10102で示される回路は、1ビットのシリアルデータ信号DRIを出力する内部回路である。デマルチプレクサ回路10202は、入力シリアル信号DRIをデマルチプレクサ制御信号DC2に従い4ビットのデータ信号Rid1,Rid2,Rid3,Rid4に振り分け出力する。符号10045,10046,10047,10048は出力バッファ回路であり、符号10055,10056,10057,10058は伝送線路である。信号通信装置A1001内の、符号10065,10066,10067,10068で示される回路は、4ビットのデータ信号Rxd1,Rxd2,Rxd3,Rxd4を出力する入力バッファ回路である。符号10182は符号10181と同様にデータ信号からクロックを抽出する機能とデータ信号を再デジタル化する機能をもつクロック信号再生およびデータ信号再生回路部である。符号10262で示される回路は、再デジタル化された4ビットのデータ信号Rod1,Rod2,Rod3,Rod4のモニタ回路であり、符号10261で示される回路と同様にデータ信号ビットに通信不適格なビ

ットがある場合、データ信号の異常情報を含むデータ信号異常通知信号ERI2を出力する。符号10272で示される回路は、データ信号異常通知信号ERI2を基にデータ信号各ビットの使用の可否を定める機能と、データ信号の4ビットへの振り分け方法を定める機能とを有するデータ信号ビット制御回路である。マルチプレクサ回路10212は、データ信号ビット制御回路10272からのマルチプレクサ制御信号MC2に従い4ビットのデータ信号Rod1,Rod2,Rod3,Rod4を1ビットのシリアルデータ信号DR0にまとめて出力する。符号10032で示す回路は、シリアルデータ信号DR0を入力する内部回路である。符号10252は出力バッファ回路を示し、符号10242は伝送線路を、符号10232は入力バッファ回路を、符号10222は信号装置A 1001内のデータ信号ビット制御回路を示す。

【0074】

データ信号ビット制御回路10272から出力されるビット振り分け制御信号Txctは、出力バッファ回路10252から伝送線路10242を経由して入力バッファ回路10232により信号通信装置A 1001内のデータ信号ビット制御回路10222に伝えられる。データ信号ビット制御回路10222は、ビット振り分け制御信号Txctを基にデマルチプレクサ制御信号DC2を出力する。

【0075】

本実施の形態による信号通信回路（第6の構成例）は、送信回路部側のデータ信号ビット制御回路10221および10222から、受信回路部側のデータ信号ビット制御回路10272および10271に対して、データ信号の振り分け方の情報を有するビット振り分け制御信号DN1およびDN2が伝えられる。これにより送信側と受信側とで伝送速度の釣合いをとる必要がある場合に、ビット振り分け制御信号DN1およびDN2を利用してデータ信号ビットの振り分け方を決めることができる。

【0076】

図11は、図10の構成例において、データ信号の通信順序を示した図である。符号DT1,DT2,…,DT9は、信号通信装置A 1001から信号通信装置B 1002への信号伝送のデータ信号の1つのデータ単位を表し、DR1,DR2,DR3,…,DR9は信号通信装置B 1002から信号通信装置A 1001への信号伝送のデータ信号の1つのデータ単位を表す。例えば、sビット、tバイト、または、uパケット等 ($s>0, t>0, u>0$,

s, t, u は整数) を採る。データ信号の順序は、先頭データからDT1, DT2, …, DT9およびDR1, DR2, …, DR9の順で表している。

【0077】

図11(a)は、全ビットが正常に動作している場合のデータ信号の通信順序を示し、信号通信装置A1001から信号通信装置B1002への信号伝送では、データ単位[DT1, DT2, DT3, DT4]および[DT5, DT6, DT7, DT8]が並列になるように、それぞれ4ビットのデータ信号Txd1, Txd2, Txd3, Txd4に割当てられてデータ信号の通信を行い、信号通信装置B1002から信号通信装置A1001への信号伝送では、データ単位[DR1, DR2, DR3, DR4]および[DR5, DR6, DR7, DR8]が並列になるように、それぞれ4ビットのデータ信号Rxd1, Rxd2, Rxd3, Rxd4に割当てられてデータ信号の通信を行う。

【0078】

一方、図11(b)は、データ信号Txd1に異常が発生し、データ信号Txd2, Txd3, Txd4の3ビットで通信を行っているときのデータの通信順序を示す素である。この場合は、図9で示した方式と同様にデータ信号Txd1が通信できないため、データ単位[DT1, DT2, DT3]、[DT4, DT5, DT6]、および[DT7, DT8, DT9]が並列になるように、それぞれ3ビットのデータ信号Txd2, Txd3, Txd4に割当てて信号の通信を行う。この場合、信号通信装置B1002から信号通信装置A1001への信号伝送では、4ビット全てを正常にデータ伝送することができるが、送信と受信とのデータ伝送容量の釣合いをとるために、送信と受信との伝送速度を同じにする必要がある場合もある。このような場合は、4ビットのうち1ビットを使用せずに、残りの3ビットを用いて通信を行う。例えば、図11(b)に示すように、データ信号Rxd1を使用しないで、データ単位[DR1, DR2, DR3]、[DR4, DR5, DR6]、および[DR7, DR8, DR9]が並列になるように、それぞれ3ビットのデータ信号Rxd2, Rxd3, Rxd4に割当ててデータ信号の通信を行う。上記第六の構成例は、信号通信装置A1001から信号通信装置B1002への送信データ信号ビットが4ビットであり、受信データ信号ビットが4ビットの場合であるが、一般に送信データ信号ビット数n($n > 1$ 、nは整数)、受信データ信号ビット数m($m > 1$ 、mは整数)の信号通信装置にも適用できる。

【0079】

また、送信側の信号通信装置内のデマルチプレクサ回路によって振り分けられる前の信号DTIおよびDRIが1ビットで、受信側の信号装置内のマルチプレクサ回路によって復元される信号DT0およびDROが1ビットの場合であるが、一般にDTIがpビット($p > 0$ 、pは整数)で、DT0がq($q > 0$ 、qは整数)ビットで、DRIがxビット($x > 0$ 、xは整数)で、DROがy($y > 0$ 、yは整数)ビットの場合にも適用できる。

【0080】

次に、本発明の第7の実施の形態による信号通信装置について図面を参照して説明する。図16は、本発明の第7の実施の形態(第7構成例)による信号通信装置の構成例を示す図である。図16に示すように、本実施の形態による信号通信装置は、信号通信装置A1601と、信号通信装置B1602とを有している。信号通信装置A1601内には、n($n > 1$ 、nは整数)ビットのデータ信号Tid1,Tid2,Tid3,⋯,Tidnを出力する内部回路1603と、出力バッファ回路16041,16042,16043,⋯,1604nと、伝送線路16051,16052,16053,⋯,1605nとを有している。信号通信装置B1602は、nビットのデータ信号Txd1,Txd2,Txd3,⋯,Txdnを出力する入力バッファ回路16061,16062,16063,⋯,1606nと、データ信号を正しく再生するために位相が調整された再生クロック信号RCK1,RCK2,RCK3,⋯,RCKnを出力する位相調整回路16081,16082,16083,⋯,1608nと、再生クロック信号と同期したデータ信号Tod1,Tod2,Tod3,⋯,Todnを出力するフリップフロップ回路16091,16092,16093,⋯,1609nと、データ信号Tod1,Tod2,Tod3,⋯,Todnを入力する内部回路1610と、を有している。

【0081】

この第7の構成例による装置は、信号通信装置B1602内のクロック信号を抽出する回路以外の部分の構成は、図1の本発明の基本構成例と同じである。図16において、符号1618はデータ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能を有するクロック信号再生およびデータ信号再生回路部である。第7の構成例による装置は、2ビットのデータ信号Txd1,Txdnからクロック信号を抽出するのに使用するデータ信号を選択するデータ信号選択回路1651

を備え、クロック抽出回路1607を共通化することができる。クロック抽出回路1607は、2ビットのデータ信号Tx_{d1}とTx_{dn}とのいずれか一方から抽出した基準クロックSCKを出力する。

【0082】

基準クロックSCKは、図1に示す基本構成例と同様に、位相調整回路16081,16082,16083,…,1608nに分配される。以下に、図16の構成において基準クロックを抽出しているデータ信号が故障した場合の動作について説明する。例えば、データ信号選択回路でデータ信号Tx_{d1}が選択され、基準クロックSCKの抽出にデータ信号Tx_{d1}を使用している場合を考える。データ信号Tx_{d1}が故障した場合は、データ信号選択回路1651において、選択データ信号をTx_{d1}からTx_{dn}へ替えることにより、引き続き基準クロックSCKを抽出することができ、故障したビットTx_{d1}以外のn-1ビットを使用してデータ通信を続けることができる。この第7の構成例による装置は、クロック抽出可能なデータ信号のビット数が2で、そこから抽出する基準クロックの数が1の場合であるが、一般にクロック抽出可能なデータ信号のビット数がa（ $2 \leq a < n$ 、aは整数）で、抽出する基準クロックの数がb（ $1 \leq b \leq a$ 、bは整数）に適用可能である。

本実施の形態による信号通信回路では、選択されたデータ信号からクロックを抽出するため、クロック抽出回路の数を低減することができる。

【0083】

次に、本発明の各実施の形態による信号通信装置を、交換機やサーバ間の通信等に用いられる光モジュール装置に適用した実施例について図面を参照して説明する。図12は、本実施例による光モジュール装置の構成例を示す機能ブロック図である。図12に示すように、本実施例による光モジュール装置1228は、1ビットの光信号と4ビットの電気信号とを相互に変換して送受信する光モジュール装置である。図12に示す構成例では、電気信号部の信号通信はクロック信号再生伝送を行う。光信号から電気信号への変換回路部は、1ビットの光データ信号Rx_{op}を受信し1ビットの電気データ信号Rx_{e1}に変換する光受信回路および光-電気変換回路1231と、1ビットのデータ信号を4ビットのデータ信号に変換するデマルチプレクサ回路1229と、4ビットの電気データ信号Rx_{e11},Rx_{e12},Rx_{e13},Rx_{e1}

4を出力する出力バッファ回路12331,12332,12333,12334と、を有する。

【0084】

一方、電気信号から光信号への変換回路部は、4ビットの電気データ信号Txel1,Txel2,Txel3,Txel4を入力する入力バッファ回路12341,12342,12343,12344と、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能をもつクロック信号再生およびデータ信号再生回路部1218とを有する。この回路部1218は、前述のように、クロック信号の抽出を行うビットのデータ信号に異常が発生した場合でも、残りのビットは信号通信を継続できる構成を有する。符号1230で示す回路は、4ビットのデータ信号を1ビットのデータ信号Txelに変換するマルチプレクサ回路である。符号1232で示す回路は、1ビットの電気データ信号Txelを1ビットの光データ信号Txopに変換し出力する電気-光変換回路および光送信回路である。

【0085】

図12に示す構成例は、光データ信号の送受信のビット数が1であり、電気データ信号の送受信のビット数が4である場合を示すが、一般に光データ信号の送受信のビット数n（n>0、nは整数）、電気データ信号の送受信のビット数m（m>0、mは整数）の光モジュール装置にも適用できる。

【0086】

次に、上記各実施の形態による信号通信装置を用いて、インターネットなどのネットワークに使用されるルータ装置を形成した例について図面を参照して説明する。図13に示すように、符号1335は、4ポートの送受信を行うルータ装置である。ルータ装置1335は、4ポートのパケット信号PR1,PR2,PR3,PR4の受信回路1336と、データ信号からクロック信号を抽出する機能とデータ信号を再デジタル化する機能をもつクロック信号再生およびデータ信号再生回路部1318とを有する。この回路部1318は、クロック信号の抽出を行うビットのデータ信号に異常が発生した場合でも、残りのビットは信号通信を継続できる。符号1337で示す回路は、受信パケット信号を識別し経路制御信号PCTを出力する受信パケット信号制御回路である。符号1338で示す回路は、経路制御信号PCTを基にパケット信号が入力した受信ポートと送信ポートPT1,PT2,PT3,PT4のいずれか1ポートを接続する

スイッチ回路である。符号1339で示す回路は、送信パケット信号の送信タイミング等の制御を行う送信パケット信号制御回路である。符号1340で示す回路は、送信パケット信号をそれぞれの送信ポートPT1,PT2,PT3,PT4に出力するパケット信号送信回路である。図13に示す構成例は、入出力ポートの数が4ポートの場合を示しているが、一般に入出力ポート数n ($n > 0$ 、nは整数) ポートのルータ装置にも適用できる。

【0087】

以上に説明したように、本実施の形態による信号通信回路は、受信したデータ信号からデータ信号を再デジタル化するためのクロック信号を抽出するクロック信号再生伝送方式を探る多ビットの信号通信装置において、1ビットが異常となる故障に対して、その故障ビットがクロック信号を抽出しているデータ信号のビットであっても、残りの正常に動作するビットを用いてデータ通信を継続することができる。このとき故障したビット以外のすべてビットが利用可能であり、故障時の信号传送速度の低下を最低限に抑えることができる。

【0088】

また、データ信号からクロック信号を抽出するクロック信号再生回路を最も少ない場合には2個で構成することが可能であるため、多ビットの信号通信回路をLSIチップに実装する場合に比較的回路面積の大きいクロック信号再生回路の個数が最低限で済む。そのため、LSIチップの面積を低減でき、コストを削減することができる。

【0089】

また、クロック信号再生回路は、ノイズ源になるとともにノイズに弱いという特徴を有するが、多数のクロック信号再生回路を1つのLSIチップに実装すると、LSI開発の難易度が高くなり設計コストが大きくなる。本実施の形態では、上記のようにクロック信号再生回路の個数が最低限で済むためノイズを抑えることができ、LSI開発にかかる設計コストを抑えることもできる。

【0090】

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に

自明であろう。

【0091】

【発明の効果】

本発明によれば、受信したデータ信号からデータ信号を再デジタル化するためのクロック信号を抽出するクロック信号再生伝送方式を探る多ビットの信号通信装置において、1ビットが異常となる故障に対して、その故障ビットがクロック信号を抽出しているデータ信号のビットであっても、残りの正常に動作するビットを用いてデータ通信を継続することができる。このとき故障したビット以外のすべてビットが利用可能であり、故障時の信号伝送速度の低下を最低限に抑えることができる。

【0092】

また、クロック信号再生回路数が少なくて済むため、チップの面積を低減でき、コストを削減することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による信号通信装置の基本構成例を示すブロック図である。

【図2】

図1に示す信号通信装置のビット異常発生時の信号タイミングの関係を示す波形図である。

【図3】

本発明の第2の実施の形態による信号通信装置（第2構成例）を示すブロック図である。

【図4】

図3の信号通信装置のビット異常発生時の信号タイミング関係の波形図である

【図5】

本発明の第3の実施の形態による信号通信装置（第3構成例）を示すブロック図である。

【図6】

図5の信号通信装置のビット異常発生時の信号タイミング関係の波形図である

【図7】

本発明の第4の実施の形態による信号通信装置（第4構成例）を示すブロック図である。

【図8】

本発明の第5の実施の形態による信号通信装置（第5構成例）を示すブロック図である。

【図9】

図8の信号通信装置のビット異常発生時のデータ信号の通信順序を示した図である。

【図10】

本発明の第6の実施の形態による信号通信装置（第6構成例）を示すブロック図である。

【図11】

図10の信号通信装置のビット異常発生時のデータ信号の通信順序を示した図である。

【図12】

本発明の各実施の形態による信号通信装置を有する光モジュール装置の実施例を示すブロック図である。

【図13】

本発明の各実施の形態による信号通信装置を有するルータ装置の実施例を示すブロック図である。

【図14】

従来の信号送受信回路の構成例のブロック図である。

【図15】

図3に示すクロック信号再生回路の詳細回路図である。

【図16】

本発明の第7の実施の形態による信号通信装置の第7構成例を示すブロック図である。

【符号の説明】

101,301,501,701,801,1001,1401,1601…信号通信装置A、102,302,502,702,802,
 1002,1402,1602…信号通信装置B、103,303,503,703,803,10031,10032,1403,160
 3…信号通信装置Aの内部回路、1041,1042,1043,…,104n, 3041,3042,3043,…,3
 04n, 5041,5042,5043,…,5048, 7041,7042,7043,…,704n, 8041,8042,8043,8044
 , 10041,10042,10043,…,10048, 14041,14042,14043,…,1404n,16041,16042,160
 43,…,1604n…出力バッファ回路、1051,1052,1053,…,105n, 3051,3052,3053,…
 ,305n, 5051,5052,5053,…,5058, 7051,7052,7053,…,705n, 8051,8052,8053,80
 54,10051,10052,10053,…,10058,14051,14052,14053,…,1405n,16051,16052,160
 53,…,1605n…伝送線路、1061,1062,1063,…,106n,3061,3062,3063,…,306n, 50
 61,5062,5063,…,5068,7061,7062,7063,…,706n,8061,8062,8063,8064,10061,10
 062,10063,…,10068, 14061,14062,14063,…,1406n,16061,16062,16063,…,1606
 n…入力バッファ回路、1071, 1072,5071,5072,7071,7072,1407,1607…クロック
 信号再生回路、1081,1082,1083,…,108n,3081,3082,3083,…,308n,5081,5082,50
 83,…,5088,7081,7082,7083,…,708n, 14081,14082,14083,…,1408n,16081,1608
 2,16083,…,1608n…位相比較回路、1091,1092,1093,…,109n, 3091,3092,3093,
 …,309n, 5091,5092,5093,…,5098, 7091,7092,7093,…,709n, 14091,14092,140
 93,…,1409n,16091,16092,16093,…,1609n…フリップフロップ回路、110,310,51
 0,710,810,10101,10102,1410,1610…信号通信装置Bの内部回路、111,5111,5112
 …クロック信号選択・分配回路、312…位相比較信号選択回路、3131,3132…クロ
 ック信号再生回路の位相比較器、314…クロック信号再生回路のループフィルタ
 および電圧制御発振器、5151,5152…信号通信装置B内のデータ信号のグループ
 、716…クロック信号モニタ回路、717…クロック信号選択・分配回路、118,318,
 518,718,818,10181,10182,1218,1418…クロック信号再生およびデータ信号再生
 回路部、719…異常通知ランプ、820,10201,10202…デマルチプレクサ回路、821,
 10211,10212…マルチプレクサ回路、822,10221,10222…送信側のデータ信号ビッ
 ト制御回路、823,10231,10232…入力バッファ回路（制御信号用）、824,10241,1

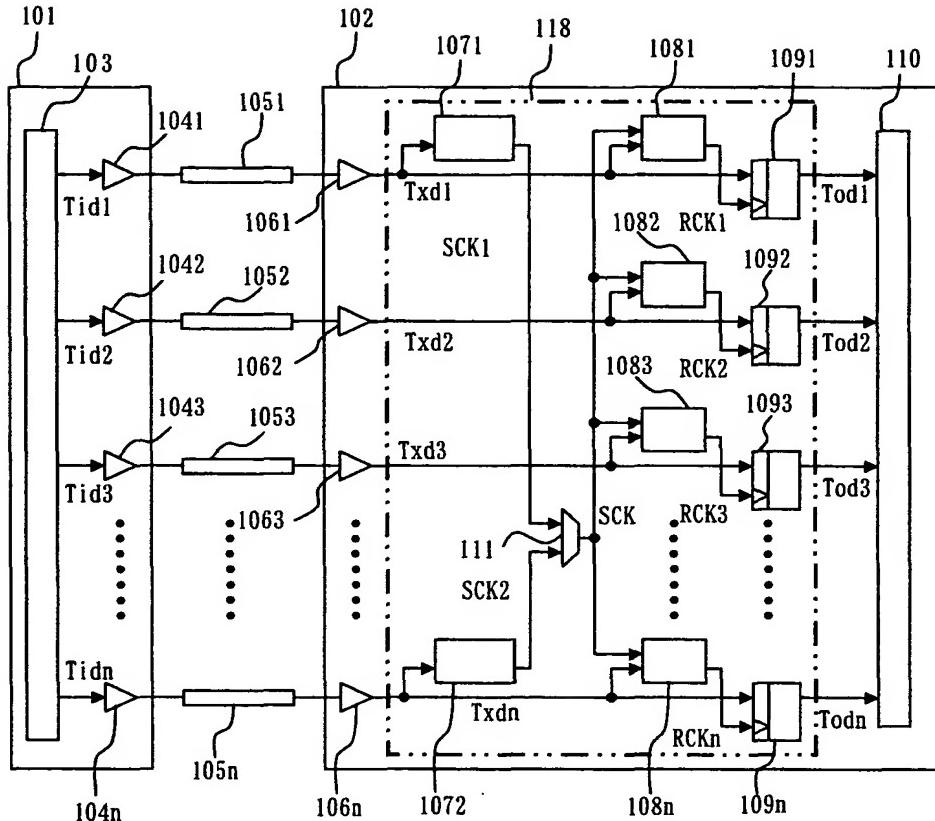
0242…伝送線路（制御信号用）、825,10251,10252…出力バッファ回路（制御信号用）、826,10261,10262…データ信号モニタ回路、827,10271,10272…受信側のデータ信号ビット制御回路、1228…光モジュール装置、1229…光モジュール装置のデマルチプレクサ回路、1230…光モジュール装置のマルチプレクサ回路、1231…光モジュール装置の光信号受信回路および光一電気信号変換回路、1232…光モジュール装置の光信号送信回路および電気一光信号変換回路、12331,12332,12333,12334…光モジュール装置の出力バッファ回路、12341,12342,12343,12344…光モジュール装置の入力バッファ回路、1335…ルータ装置、1336…ルータ装置のパケット信号受信回路、1337…ルータ装置の受信パケット信号制御回路、1338…ルータ装置のスイッチ回路、1339…ルータ装置の送信パケット信号制御回路、1340…ルータ装置のパケット信号送信回路、1541…クロック信号再生回路、15421,15422…位相比較器、15432,15432…Dフリップフロップ回路、1544…セレクタ回路、1545…ループフィルタ、15461,15462…チャージポンプ回路の電流源回路、1547…ループフィルタの抵抗、1548…ループフィルタのコンデンサ、1549…電圧制御発振器、15501,15502…バッファ回路、1651…データ信号選択回路、Tid1,Tid2,Tid3,…,Tidn…信号通信装置Aの入力バッファ回路入力のデータ信号、Tx d1,Tx d2,Tx d3,…,Tx dn…信号通信装置Bの入力バッファ回路出力のデータ信号、Tod1,Tod2,Tod3,…,Todn…信号通信装置Bの再デジタル化したデータ信号、Rid1,Rid2,Rid3,Rid4…信号通信装置Bの入力バッファ回路入力のデータ信号、Rxd1,Rxd2,Rxd3,Rxd4…信号通信装置Aの入力バッファ回路出力のデータ信号、Rod1,Rod2,R od3,Rod4…信号通信装置Aの再デジタル化したデータ信号、SCK,GSCK1,GSCK2…基準クロック信号、RCK1,RCK2,RCK3,…,RCKn…再生クロック信号、PS1,PS2,PS…位相比較信号、ISEL…クロック信号モニタ回路出力のクロック信号選択信号、WA…クロック信号モニタ回路出力のクロック信号異常通知信号、ESEL…装置外部からのクロック信号選択信号、Rxct,Txct…ビット振り分け制御信号、SCK1,SCK2,S CK3,SCK4…データ信号から抽出したクロック信号、DTI…信号通信装置Aの内部回路出力のデータ信号、DT0…信号通信装置Bの内部回路入力のデータ信号、DRI…信号通信装置Bの内部回路出力のデータ信号、DR0…信号通信装置Aの内部回路入力のデータ信号、DC,DC1,DC2…デマルチプレクサ回路制御信号、MC,MC1,MC2

…マルチプレクサ回路制御信号、ERI,ERI1,ERI2…データ信号異常通知信号、DN1, DN2…送信側データ信号ビット制御回路から受信側データ信号ビット制御回路へのビット振り分け制御信号、T1…Txel1に故障が発生する時刻、T2…クロック信号切替え時刻、P1…正常動作期間、P2…異常検出およびクロック信号切替え期間、P3…クロック信号切替え後の動作期間、TRD…データ信号と再生クロック信号の位相差、TD…データ信号の周期、DT1,DT2,…,DT9…信号通信装置Aから信号通信装置Bへのデータ信号の1単位、DR1,DR2,…,DR9…信号通信装置Bから信号通信装置Aへのデータ信号の1単位、Rxop…光モジュール装置の入力光データ信号、Txop…光モジュール装置の出力光データ信号、Rxel…光モジュール装置の光－電気信号変換回路出力の電気データ信号、Txel…光モジュール装置の電気－光信号変換回路入力の出力電気データ信号、Rxel1,Rxel2,Rxel3,Rxel4…光モジュール装置の出力電気データ信号、Txel1,Txel2,Txel3,Txel4…光モジュール装置の入力電気データ信号、PR1,PR2,PR3,PR4…ルータ装置の入力ポート、PT1,PT2,PT3,P T4…ルータ装置の出力ポート、PCT…ルータ装置の経路制御信号、VC…電圧制御発振器の制御信号。

【書類名】 図面

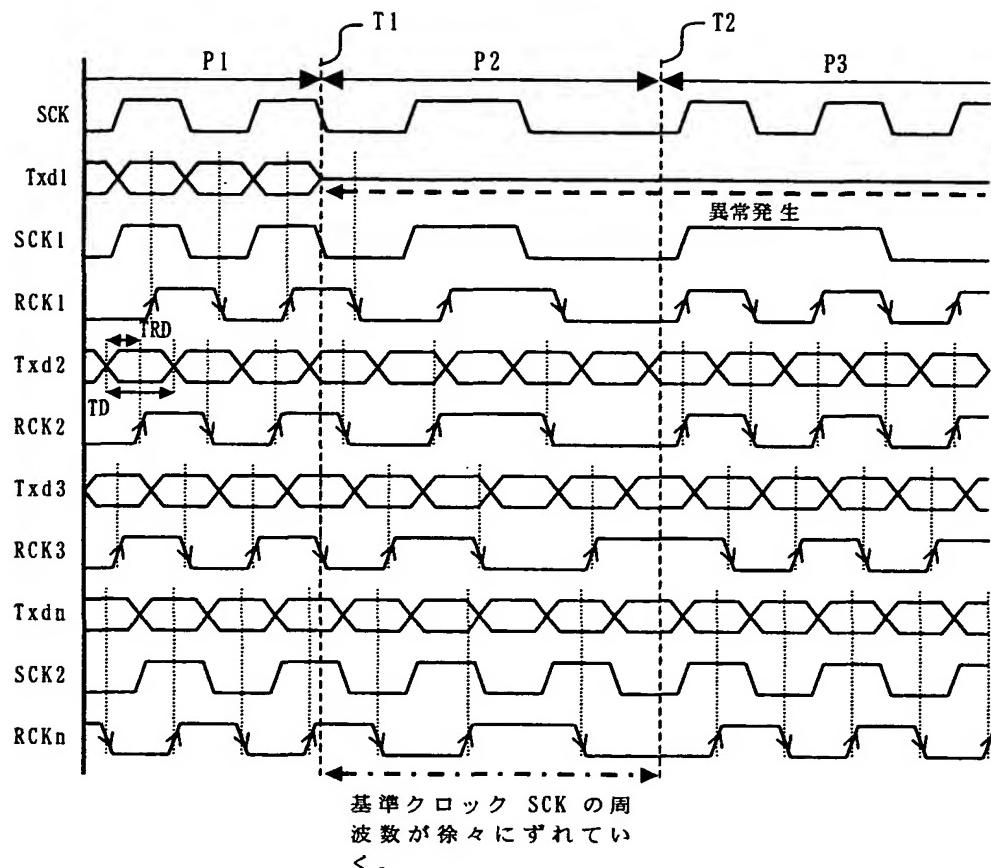
【図1】

【図1】



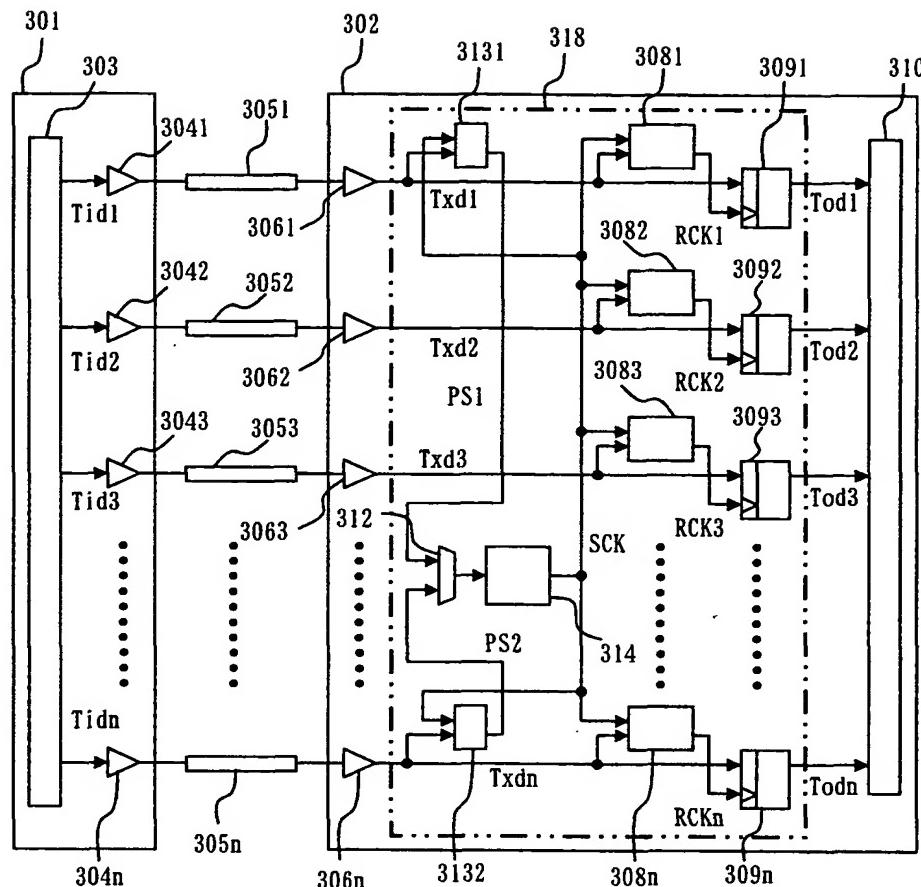
【図2】

【図2】



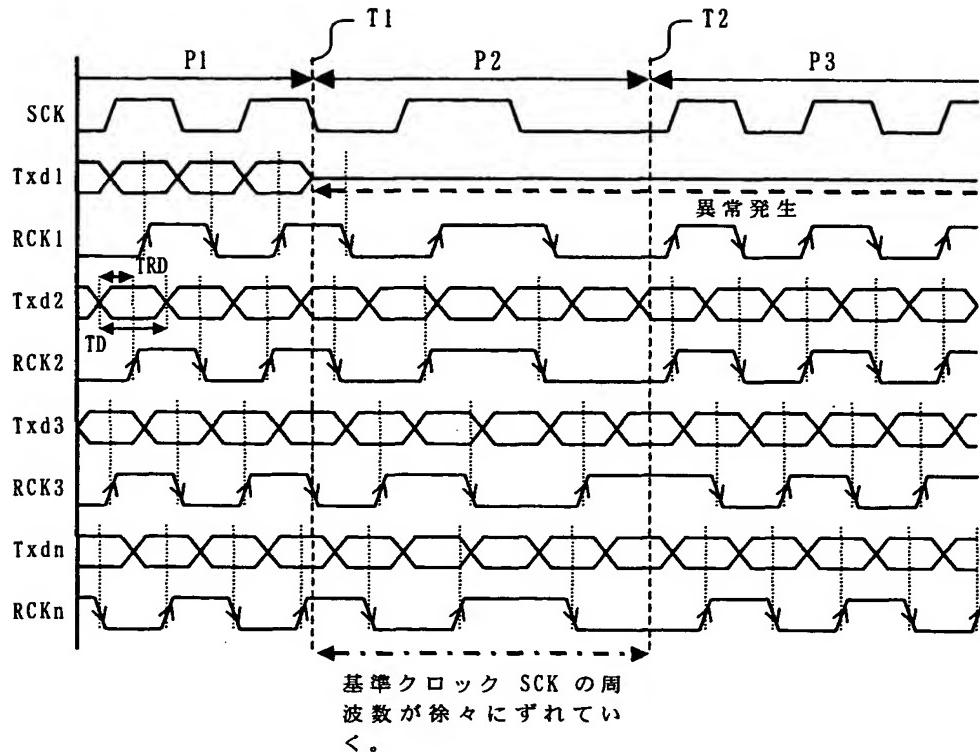
【図3】

【図3】



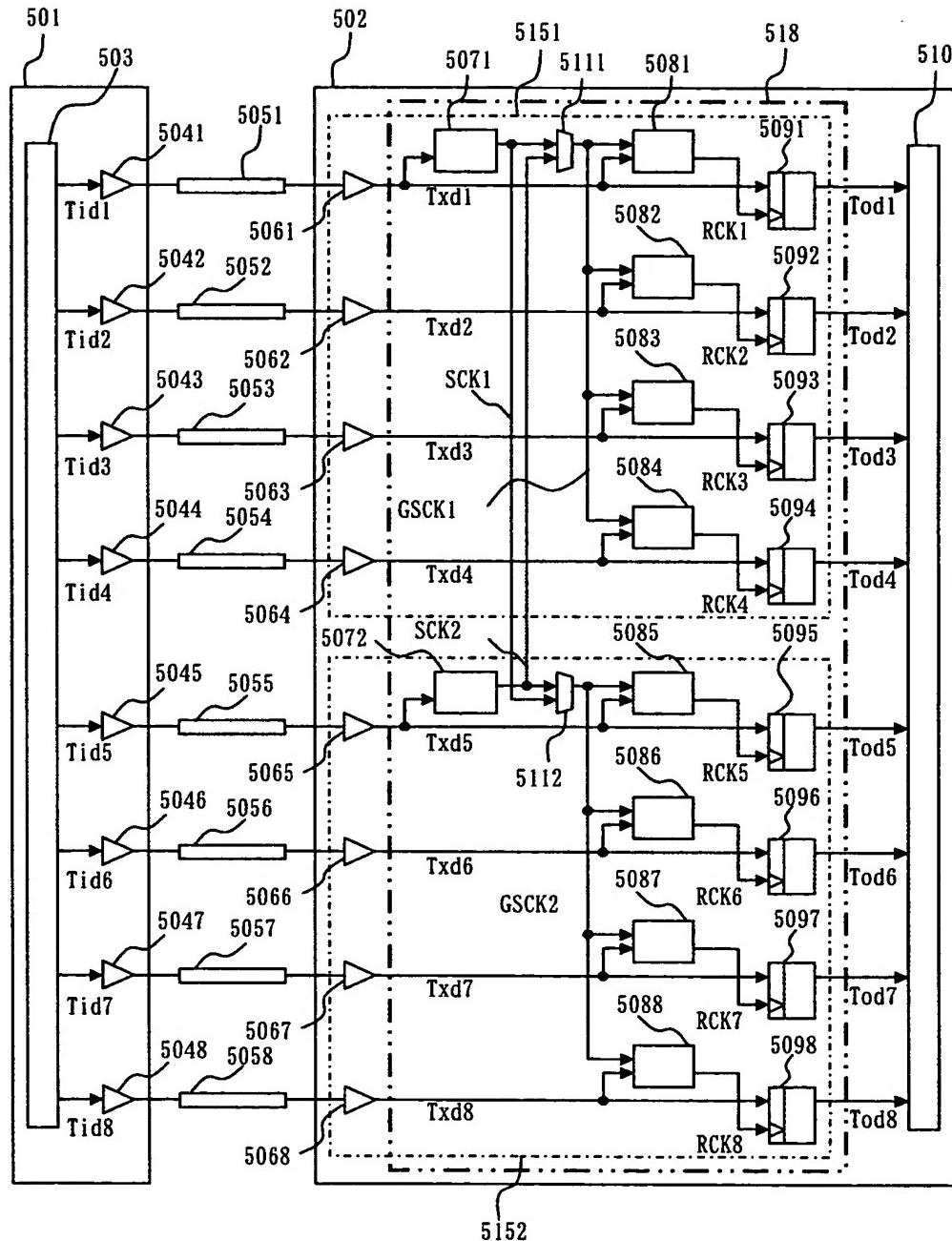
【図4】

【図4】



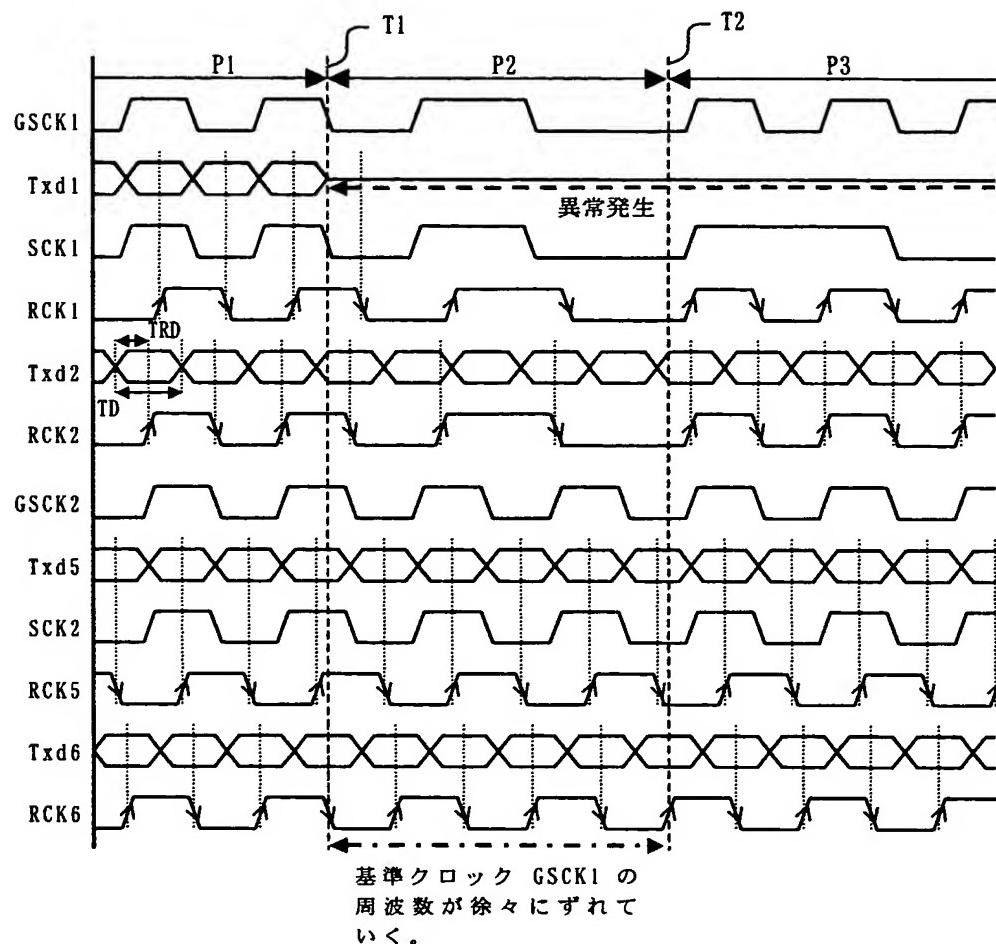
【図5】

【図5】



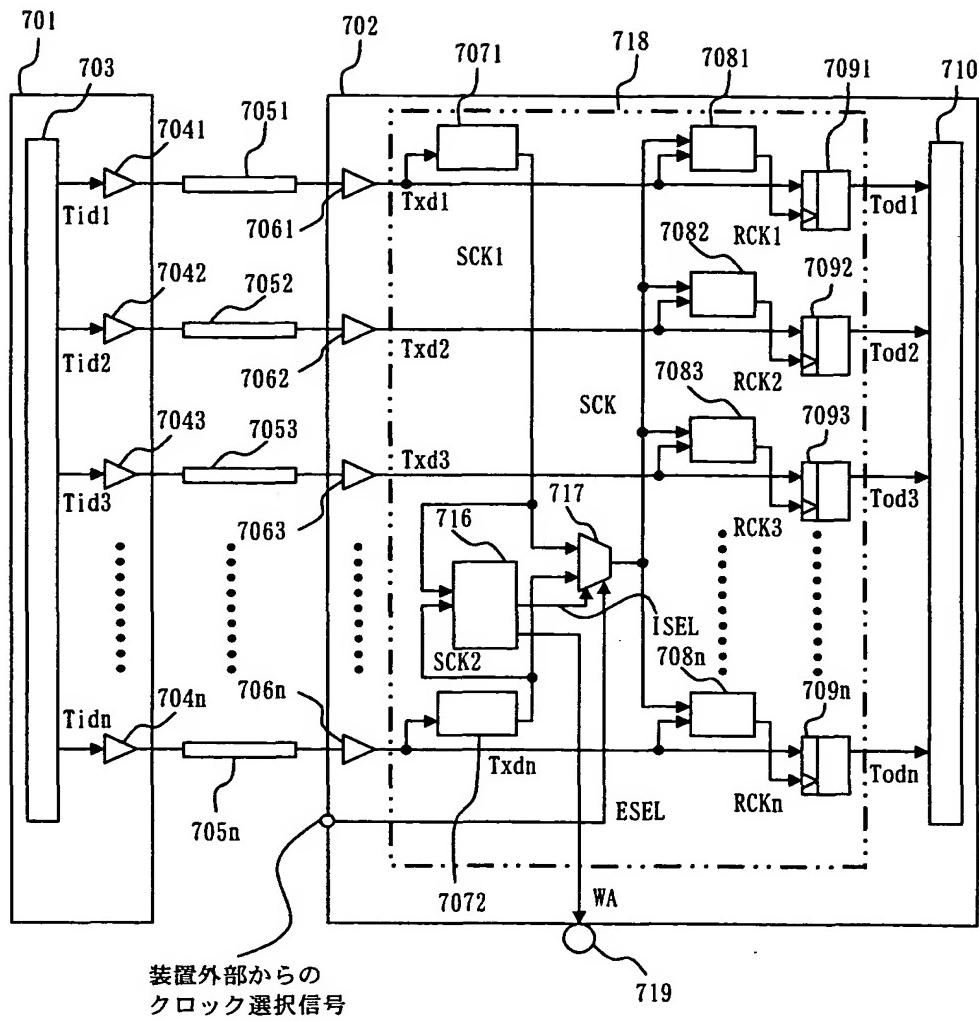
【図6】

【図6】



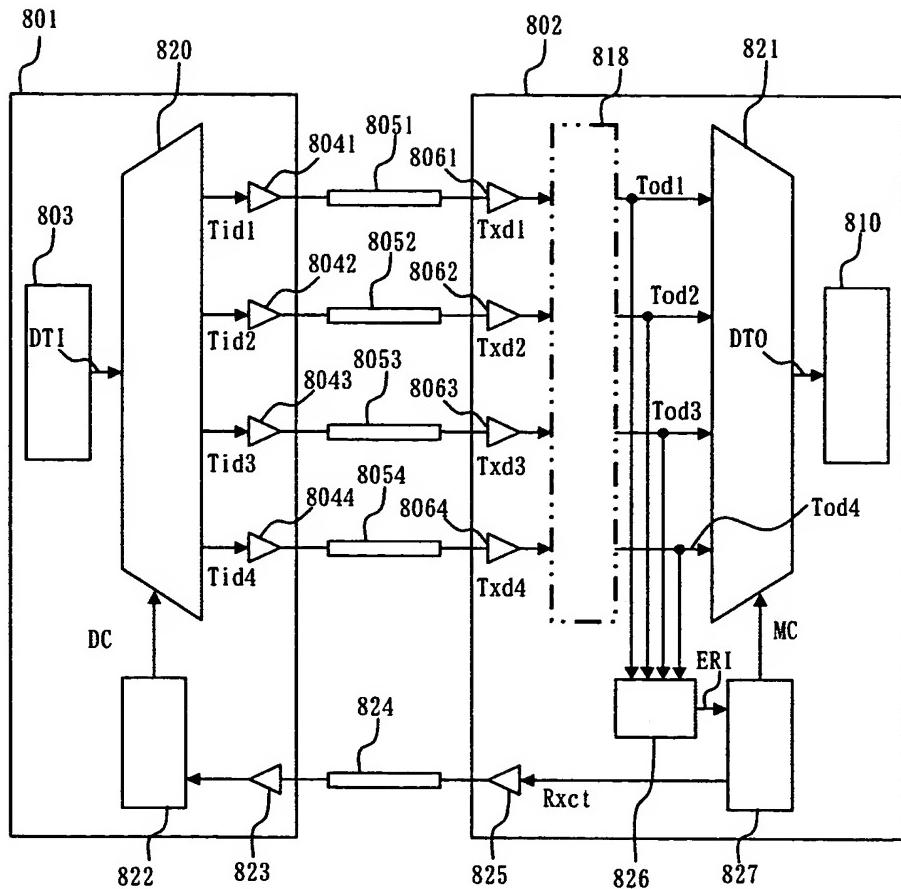
【図7】

【図7】



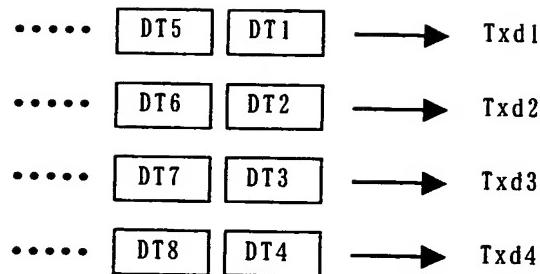
【図8】

【図8】

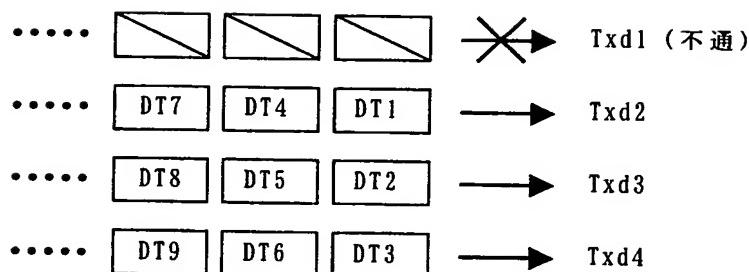


【図9】

【図9】

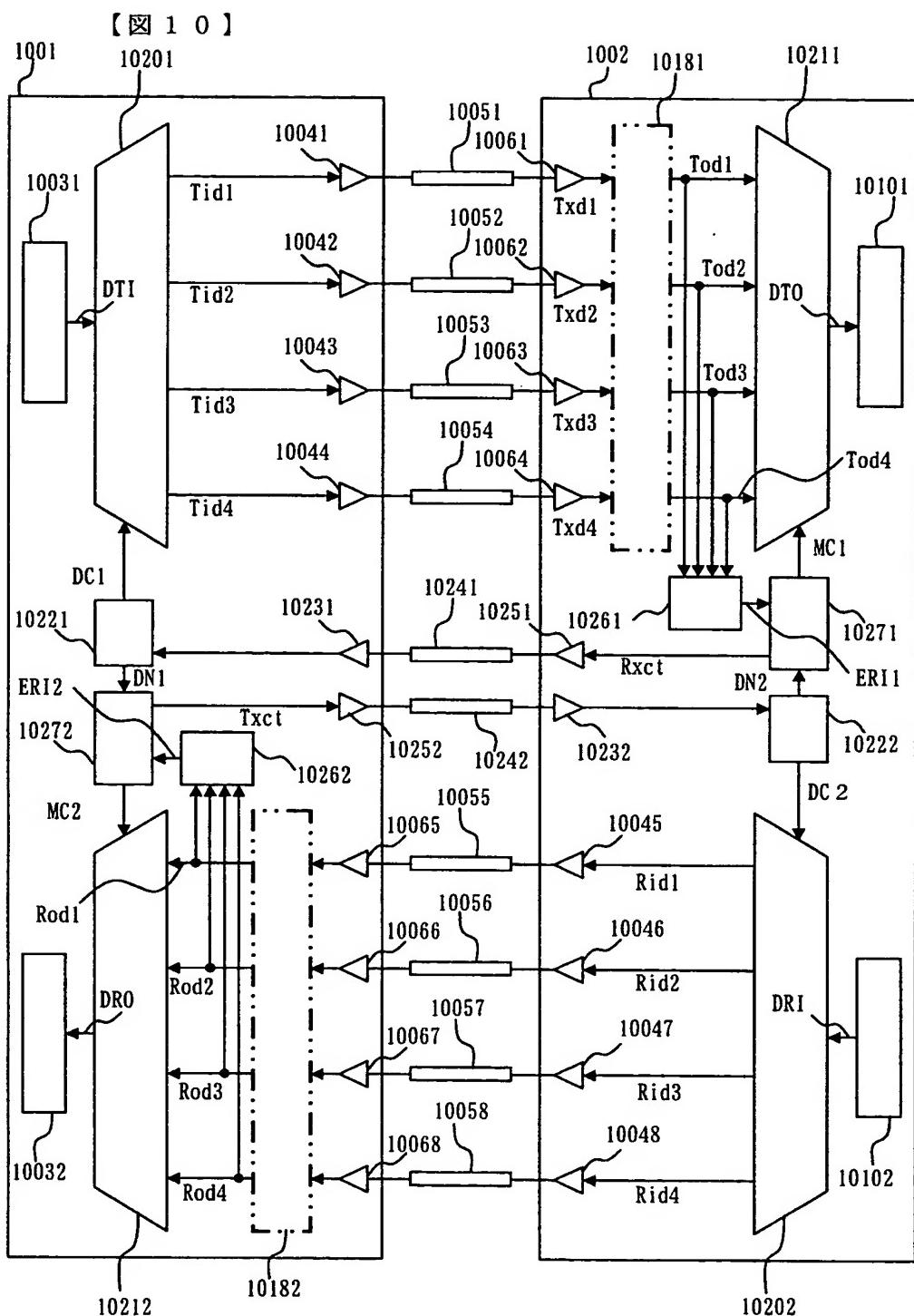


(a)



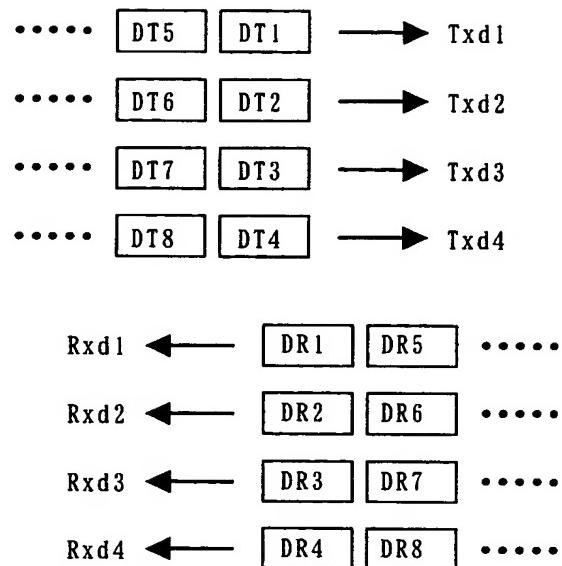
(b)

【図10】

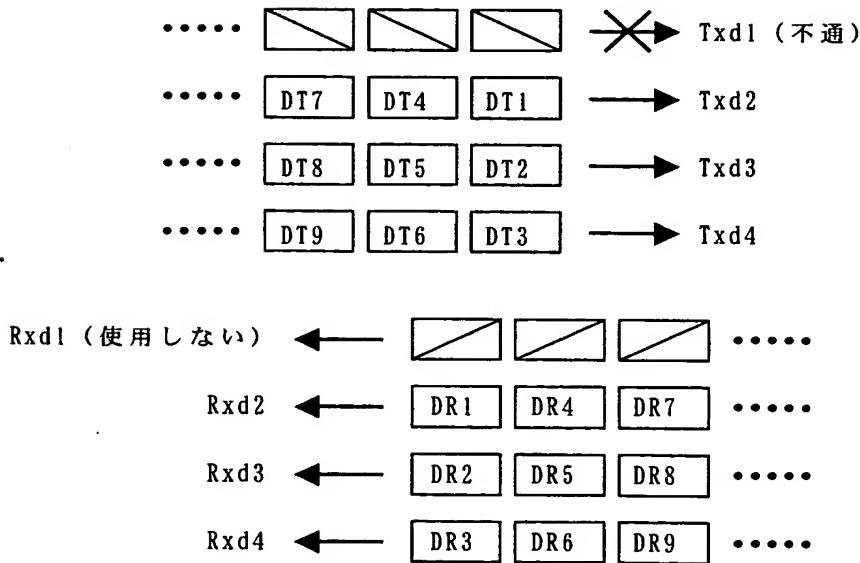


【図11】

【図11】



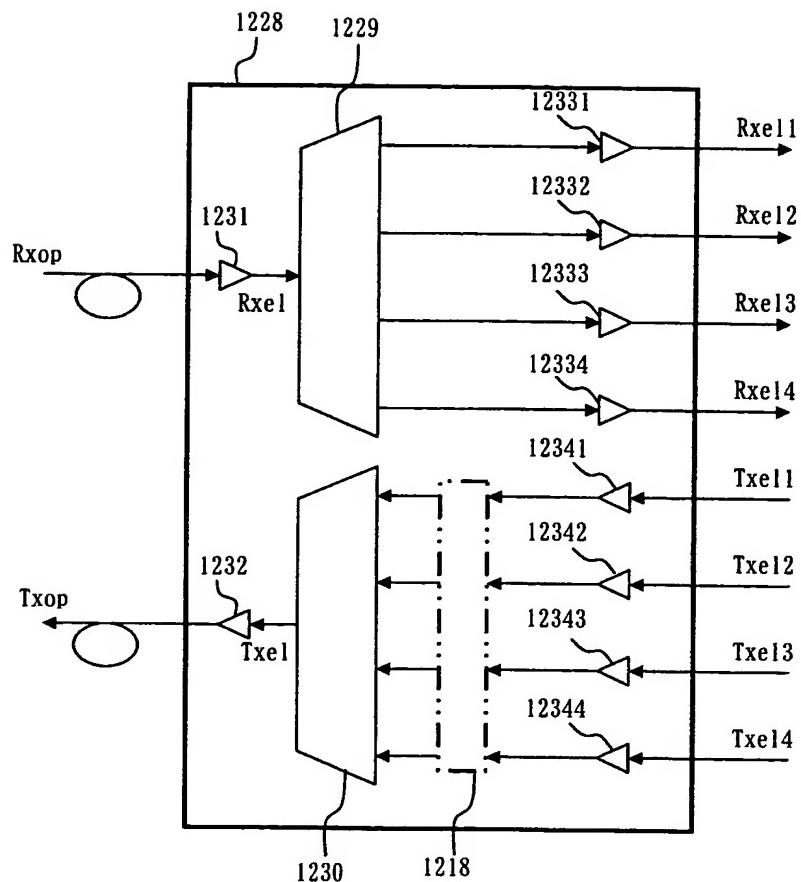
(a)



(b)

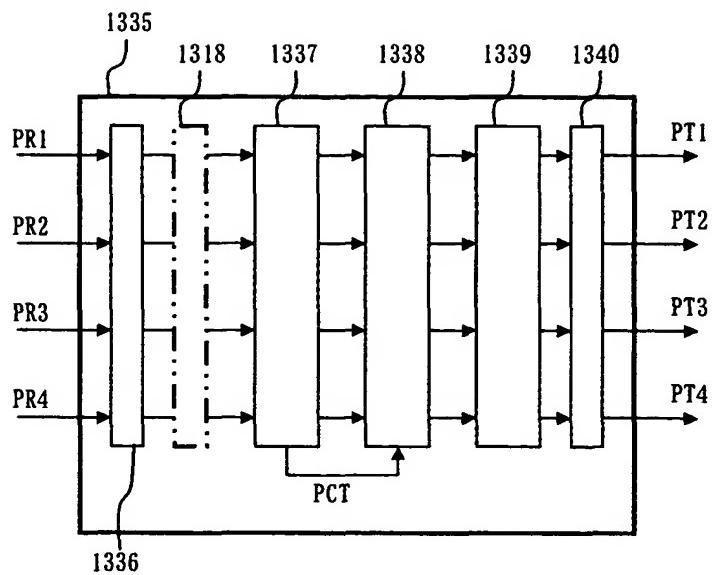
【図12】

【図12】



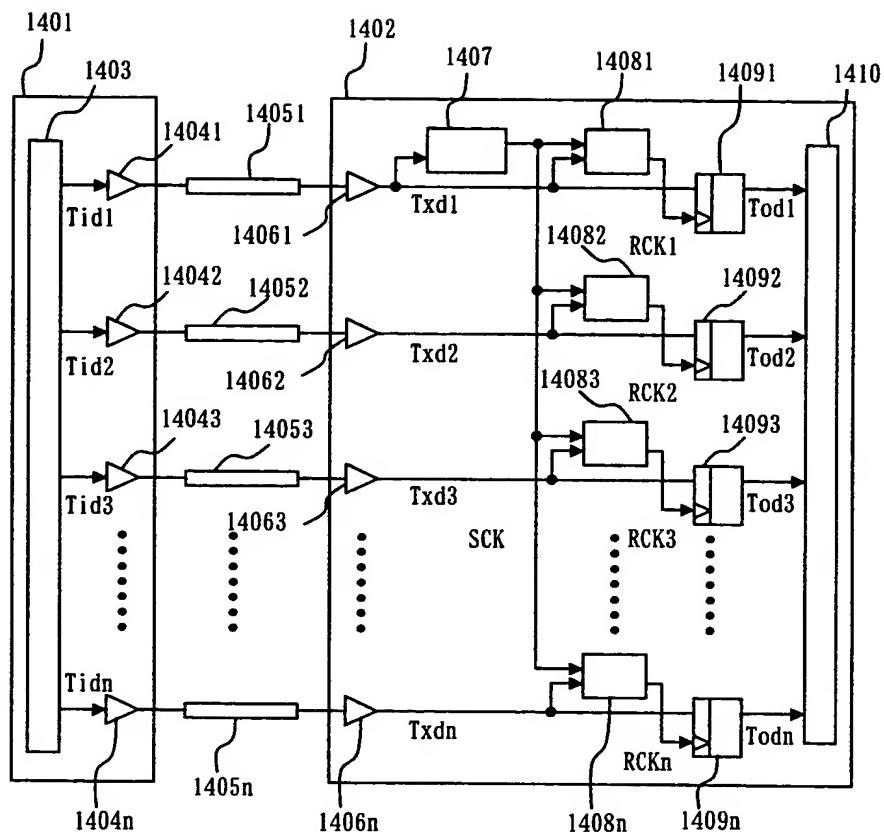
【図13】

【図13】



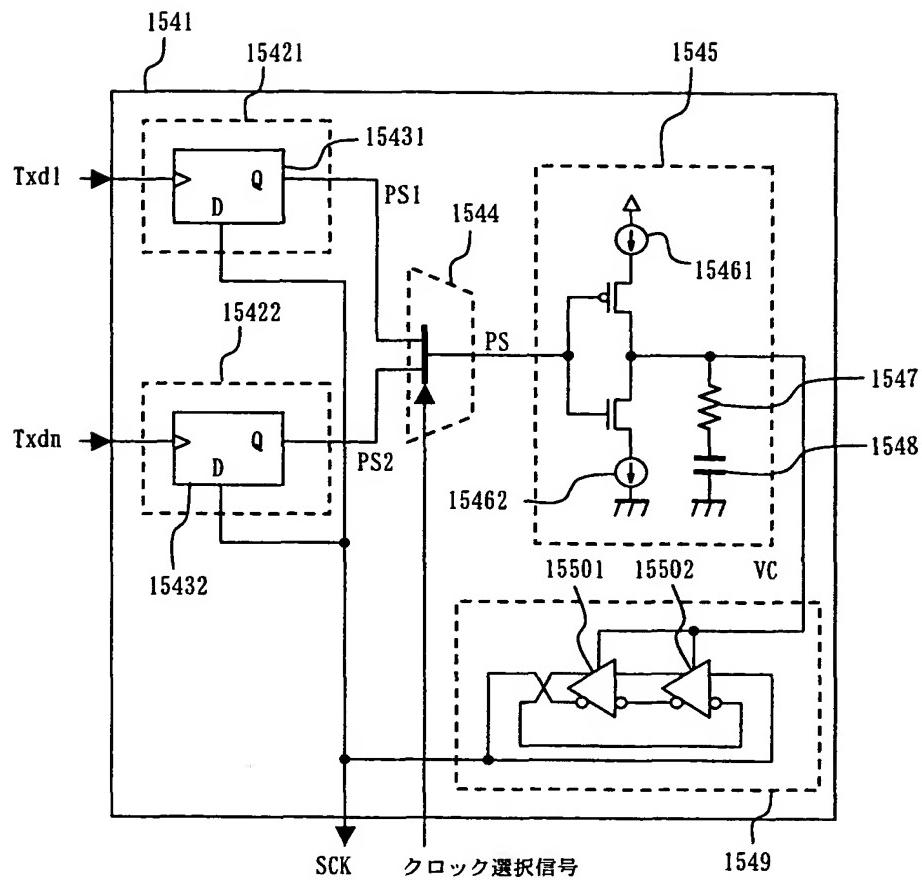
【図14】

【図14】



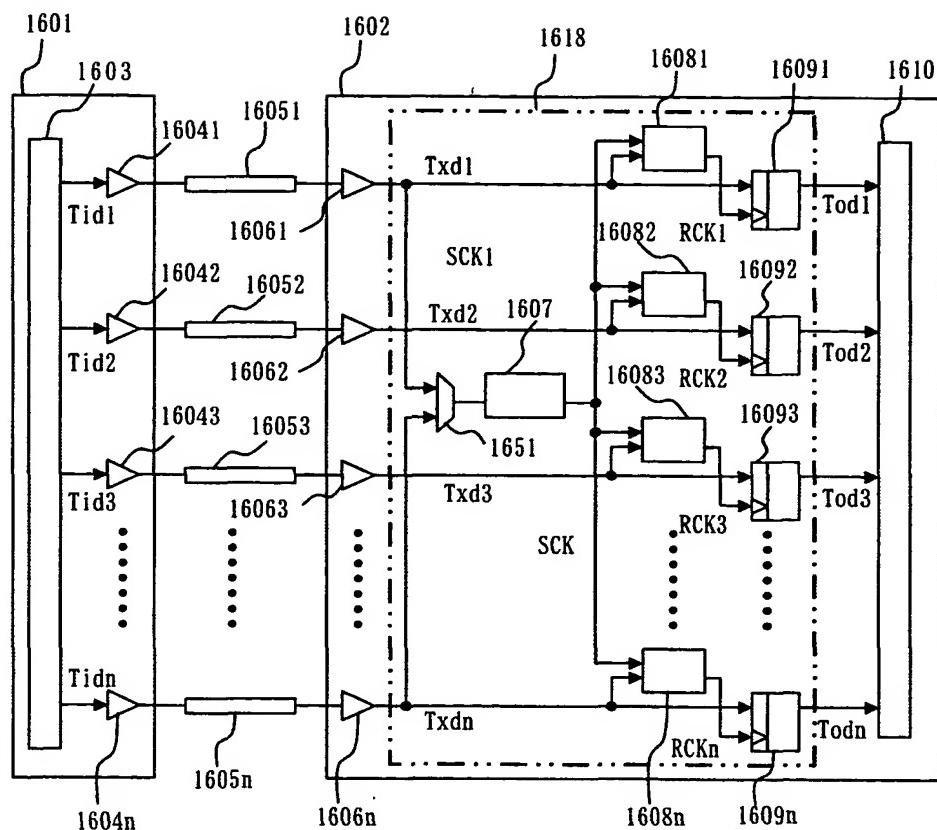
【図15】

【図15】



【図16】

【図16】



【書類名】 要約書

【要約】

【課題】 多ビットのクロック再生伝送方式において、クロック信号を抽出しているデータビットに異常が発生しても、残りの正常なビットを使って信号通信を続けることが可能な信号通信装置を提供する。

【解決手段】 信号通信装置102のクロック信号及びデータ信号再生回路部118に2つのクロック信号再生回路1071・1072を設け、2つのデータ信号Tx_{d1}とTx_{dn}からクロック信号SCK1とSCK2とを抽出し、クロック選択回路111においてこれら2つのクロック信号のうちの1つを基準クロック信号SCKとして選択する。基準クロックSCKは位相調整回路1091～109nに分配され各データ信号Tx_{d1}～Tx_{dn}との位相が調整された再生クロックRCK1～RCKnが生成される。この再生クロック信号によりフリップフロップ回路1091～109nでデータ信号が再デジタル化される。データ信号Tx_{d1}に異常が発生しクロック信号SCK1が再生できない場合は、もう一方のクロック信号SCK2を選択する。

【選択図】 図1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所